

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-272242

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.⁶

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

G 0 9 G 3/20

6 2 3

G 0 9 G 3/20

6 2 3 F

審査請求 未請求 請求項の数15 O L (全 29 頁)

(21)出願番号

特願平10-76336

(22)出願日

平成10年(1998)3月24日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 松枝 洋二郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 マイケル クイン

イギリス国 ケンブリッジ市 トラムピングトン ストリート

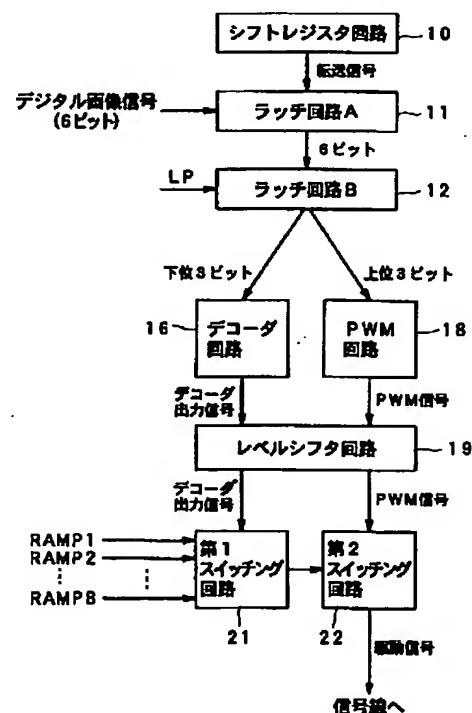
(74)代理人 弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 電気光学装置用のデジタルドライバ回路及びこれを備えた電気光学装置

(57)【要約】

【課題】 T F Tアクティブマトリクス駆動方式の液晶装置等を駆動するデジタルドライバ回路において、低消費電力化を図りつつ駆動能力を高める。

【解決手段】 デジタル画像信号が入力され、アナログの駆動信号を生成するデジタルドライバ回路は、デジタル画像信号の下位ビットの値に応じて、時間経過により階段状に電圧が夫々変化する複数系列の基準マルチランブ波のうち一系列を選択する系列選択手段と、上位ビットの値に応じて、少なくとも選択された一系列の基準マルチランブ波における階段状に変化する電圧を時間軸上で選択する時間選択手段とを備える。



【特許請求の範囲】

【請求項 1】 n （但し、 n は 2 以上の自然数）ビットのデジタル画像信号が入力され、該デジタル画像信号に対応するアナログの駆動信号を生成して電気光学装置の信号線に出力するためのデジタルドライバ回路であって、

前記 n ビットのうちの y （但し、 y は自然数）ビットの値に応じて、時間経過により階段状に電圧が夫々変化する複数系列の基準マルチランブ波のうち前記駆動信号の生成用に一列を選択する系列選択手段と、

前記 n ビットのうちの前記 y ビットよりも上位に位置する x （但し、 x は自然数）ビットの値に応じて、少なくとも前記選択された一列の基準マルチランブ波における階段状に変化する電圧を時間軸上で選択する時間選択手段とを備えており、

前記選択された一列における選択された電圧に基づいて前記駆動信号を出力することを特徴とするデジタルドライバ回路。

【請求項 2】 前記時間選択手段は、前記 x ビットの値に応じてパルス幅の異なるパルス信号を生成する PWM 回路と、該パルス幅に応じて前記電圧を時間軸上で選択する第 1 スイッチング回路とを備えており、

前記系列選択手段は、前記 y ビットの値をデコードするデコーダと、該デコードされた値に応じて前記一列を選択する第 2 スイッチング回路とを備えたことを特徴とする請求項 1 に記載のデジタルドライバ回路。

【請求項 3】 前記選択された一列における選択された電圧を前記駆動信号として出力することを特徴とする請求項 1 又は 2 に記載のデジタルドライバ回路。

【請求項 4】 前記 n ビットのうちの前記 y ビットよりも下位に位置する z （但し、 z は自然数）ビットの値に応じて、前記選択された一列における選択された電圧を変化させる電圧変化手段を更に備えており、該変化された電圧を前記駆動信号として出力することを特徴とする請求項 1 又は 2 に記載のデジタルドライバ回路。

【請求項 5】 前記電圧変化手段は、前記選択された一列における選択された電圧を、前記 z ビットの値に応じて増減する SC-DAC（Switched Capacitor - Digital to Analog Converter）回路を備えており、前記系列選択手段は、前記 SC-DAC 回路により増減を行うための複数系列の参照用マルチランブ波のうち一列を前記 y ビットの値に応じて更に選択し、前記時間選択手段は、前記 x ビットの値に応じて、少なくとも前記選択された一列の参照用マルチランブ波における階段状に変化する電圧を時間軸上で更に選択することを特徴とする請求項 4 に記載のデジタルドライバ回路。

【請求項 6】 前記 SC-DAC 回路は、前記選択された一列の基準マルチランブ波における選択された電圧

と前記選択された一列の参照用マルチランブ波における選択された電圧とに基づいて前記 z ビットの値に応じて複数のコンデンサを用いたチャージシェアを行うことを特徴とする請求項 5 に記載のデジタルドライバ回路。

【請求項 7】 前記電圧変化手段は、前記 z ビットの値を反転して前記 SC-DAC 回路に入力する反転手段を更に備えており、

前記 SC-DAC 回路は、前記反転された z ビットの値に応じて、前記チャージシェアによる電圧減算を行うことを特徴とする請求項 6 に記載のデジタルドライバ回路。

【請求項 8】 前記 SC-DAC は、前記選択された一列の基準マルチランブ波における選択された電圧と前記選択された一列の参照用マルチランブ波における選択された電圧とに基づいて前記 z ビットの値に応じて複数のコンデンサを用いたチャージポンピングを行うことを特徴とする請求項 5 に記載のデジタルドライバ回路。

【請求項 9】 前記複数系列の基準マルチランブ波の電圧は、階段状に単調に増加又は減少する一期間内においては、所定の時間単位毎に増加又は減少し、

前記複数系列の基準マルチランブ波の電圧の同一時間単位における大小関係は、前記一期間内の全ての時間単位において一定であり、且つ前記一期間内では、

一の時間単位における複数系列の基準マルチランブ波の電圧の最高値は、該一の時間単位に続く他の時間単位における基準マルチランブ波の電圧の最低値よりも小さく設定されていることを特徴とする請求項 1 から 8 のいずれか一項に記載のデジタルドライバ回路。

【請求項 10】 前記複数系列の基準マルチランブ波を生成するマルチランブ波生成手段を更に備えたことを特徴とする請求項 1 から 9 のいずれか一項に記載のデジタルドライバ回路。

【請求項 11】 前記マルチランブ波生成手段は、前記複数系列の基準マルチランブ波の電圧を夫々調整することにより、前記電気光学装置に対する前記デジタル画像信号の γ 補正を行うことを特徴とする請求項 10 に記載のデジタルドライバ回路。

【請求項 12】 前記複数系列の基準マルチランブ波の電圧を夫々調整することにより、前記電気光学装置に対する前記デジタル画像信号の γ 補正を行うことを特徴とする請求項 1 から 9 のいずれか一項に記載のデジタルドライバ回路。

【請求項 13】 請求項 1 から 12 のいずれか一項に記載のデジタルドライバ回路を備えたことを特徴とする電気光学装置。

【請求項 14】 当該電気光学装置は、各画素におけるスイッチング素子として薄膜トランジスタを備えた TFT アクティブマトリクス駆動方式の液晶装置から構成されており、前記系列選択手段及び前記時間選択手段は夫々、薄膜トランジスタを含んで構成されていることを特

徴とする請求項 1 3 に記載の電気光学装置。

【請求項 1 5】 請求項 1 3 又は 1 4 に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、T F T アクティブマトリクス駆動方式の液晶装置等の電気光学装置を駆動するために好適に用いられるデジタルドライバ回路及び該デジタルドライバ回路を備えた電気光学装置、並びに該電気光学装置を備えた電子機器の技術分野に属し、特に、デジタル画像信号を入力として、マルチランプ波を用いてアナログの駆動信号を生成するデジタルドライバ回路等の技術分野に属する。

【0 0 0 2】

【従来の技術】従来、デジタル画像信号を入力として液晶パネル等の表示パネルを階調表示可能に駆動するデジタルドライバ回路の一例としては、容量が相異なる複数のコンデンサに蓄積された電荷をデジタル画像信号に応じてスイッチング素子により選択的にチャージシユア又はチャージポンプして複数種類の電圧を生成する S C - D A C (Switched Capacitor - Digital to Analog Converter : スイッチ制御コンデンサ型 D A コンバータ) 回路を備えた形式のものがある。この形式では、S C - D A C 回路が、複数種類の電圧を各階調に対応する駆動信号として表示パネルの信号線に出力し、これにより階調表示を実現できる。このように S C - D A C 回路を備えた形式のデジタルドライバ回路は、主に表示パネルに対して外付けされるデジタルドライバ回路として用いられている。

【0 0 0 3】また、表示パネルを階調表示可能に駆動するデジタルドライバ回路の他の例としては、特開平 9 - 5 4 3 0 9 号公報に開示された直列分圧抵抗回路を備えた形式のものがある。この形式では、直列分圧抵抗回路が、デジタル画像信号に応じて複数の基準電圧を分圧して複数種類の電圧を生成し、各階調に対応する駆動信号として表示パネルの信号線に出力し、これにより階調表示を実現できる。

【0 0 0 4】更にまた、表示パネルを階調表示可能に駆動するデジタルドライバ回路の他の例としては、特開平 9 - 2 4 4 5 8 8 号公報に開示された P W M (パルス幅変調) 回路を備えておりランプ波 (鋸歯状波) 電圧を用いる形式のものがある。この形式では、デジタル画像信号を P W M 回路によりパルス幅変調して、各デジタル画像信号に対応するパルス幅を持つパルス信号を生成する。そして、このパルス幅に応じてランプ波を時間軸上で選択することにより、複数種類の電圧を生成し、各階調に対応する駆動信号として表示パネルの信号線に出力し、これにより階調表示を実現できる。

【0 0 0 5】

【発明が解決しようとする課題】この種のデジタルドラ

イバ回路には、回路構成の簡素化や低消費電力化という一般的要請が強く、同時に、表示パネルの大型化に対処すべく高駆動能力化という要請も強い。また特に、液晶パネル等の表示パネルのように表示パネルにおける駆動信号電圧に対する非線型な階調特性に応じて必要となる γ 補正を、なるべく簡単な回路構成及び制御により精度良く行う必要性もある。

【0 0 0 6】しかしながら、前述した従来の S C - D A C 回路を備えた形式のデジタルドライバ回路によれば、駆動能力を高めるためには、大容量のコンデンサが必要となるため、例えば、対角 5" 程度のサイズの液晶パネルを駆動するのが実用上の限界である。即ち、このサイズよりも大きい液晶パネル等の表示パネルを駆動することは、この形式のデジタルドライバ回路では困難である。特に、デジタルドライバ回路を内蔵する表示パネルの場合には、大きなコンデンサを基板上に形成する必要があるこの形式は、回路面積や画素ピッチの観点から不適切である。

【0 0 0 7】また、前述した従来の直列分圧抵抗回路を備えた形式のデジタルドライバ回路によれば、駆動能力を高めるためには、電流増加に伴う各抵抗器における消費電力が必然的に大きくなってしまい、低消費電力化という一般的要請に応えることは根本的に困難である。同時に、駆動能力を高めるためには、各抵抗器をスイッチング制御するための薄膜トランジスタ等のスイッチング素子のサイズを大きくする必要性が生じ、回路全体の面積が増加してしまう。特に、デジタルドライバ回路を内蔵する表示パネルの場合には、多数の抵抗器と共にこのような大型の薄膜トランジスタ等を基板上に形成する必要があるこの形式は、回路面積やピッチの観点から不適切である。

【0 0 0 8】更にまた、前述した従来の P W M 回路を備えた形式のデジタルドライバ回路によれば、階調表示を正確に実現するためには、時間に対するランプ波の電圧の制御を極めて精度高く行う必要がある。従って、ランプ波を供給するためのアンプには、パルス信号に応じた正確なタイミングで信号線に対して電圧を高速に飽和させるだけの高い能力が要求され、更に、ランプ波の波形自体についても高い精度が要求される。これらの結果、この形式の回路を実現することは実践的な意味で極めて困難である。また、駆動能力を高めるためには、大電力のランプ波を低出力インピーダンスで入力するため、当該デジタルドライバ回路における消費電力は極めて大きくなってしまいう問題点がある。特に、デジタル画像信号に対する γ 補正が必要な場合には、更に以下の問題がある。即ち、 γ 補正の方式として、(i) 表示パネルの特性に応じて P W M 基本クロックのデューティを階調レベルに対して変える方式、(ii) 時間軸に対するランプ波形を表示パネルの特性に応じて S 字型に変える方式、(iii) 細かく段階的に変化する電圧により表

示パネルの特性に応じた擬似 S 字型のランプ波形を生成する方式のうちの何れを採用する場合にも、上述の y 補正を行わない場合と比べて、更に高い精度で電圧を制御する必要性が生じてしまう。従って、この形式のデジタルドライバ回路により、複数の信号線を駆動するための電圧を保証することは実践上は不可能に近い。以上より、この形式のデジタルドライバ回路は、実用化されていない。

【0009】本発明は上述した問題点に鑑みなされたものであり、消費電力が比較的低く且つ駆動能力が比較的高いデジタルドライバ回路及び該デジタルドライバ回路を備えた電気光学装置並びに該電気光学装置を備えた電子機器を提供することを課題とする。

【0010】

【課題を解決するための手段】請求項 1 に記載のデジタルドライバ回路は上記課題を解決するために、 n （但し、 n は 2 以上の自然数）ビットのデジタル画像信号が入力され、該デジタル画像信号に対応するアナログの駆動信号を生成して電気光学装置の信号線に出力するためのデジタルドライバ回路であって、前記 n ビットのうちの y （但し、 y は自然数）ビットの値に応じて、時間経過により階段状に電圧が夫々変化する複数系列の基準マルチランプ波のうち前記駆動信号の生成用に一系列を選択する系列選択手段と、前記 n ビットのうちの前記 y ビットよりも上位に位置する x （但し、 x は自然数）ビットの値に応じて、少なくとも前記選択された一系列の基準マルチランプ波における階段状に変化する電圧を時間軸上で選択する時間選択手段とを備えており、前記選択された一系列における選択された電圧に基づいて前記駆動信号を出力することを特徴とする。

【0011】請求項 1 に記載のデジタルドライバ回路によれば、一方で、系列選択手段により、 n ビット（例えば、6 ビット、8 ビット、16 ビット等）のうちの y ビット（例えば、中位又は最下位の 3 ビット、4 ビット等）の値に応じて、複数系列の基準マルチランプ波のうち駆動信号の生成用に一系列が選択される。他方で、時間選択手段により、 n ビットのうちの y ビットよりも上位に位置する x ビット（例えば、最上位の 3 ビット、4 ビット等）の値に応じて、少なくとも前記選択された一系列の基準マルチランプ波における階段状に変化する電圧が、時間軸上で選択される。この系列の選択と電圧の選択とは、同時に行われてもよいし、どちらかが先に行われてもよい。このように系列の選択と電圧の選択とを組み合わせることにより、各デジタル画像信号の値に対応する電圧（即ち、駆動信号）を生成するので、各系列の基準マルチランプ波の夫々における階段状の電圧変化は、一段毎に比較的大きな変化となり、且つ一段毎に比較的長い時間を経ての変化となる。従って、各系列の基準マルチランプ波の夫々について要求される時間についての精度は顕著に低くなり、更に、基準マルチランプ波

を供給するためのアンプの能力が低くても、信号線を駆動信号の電圧に飽和させるに十分な時間的余裕を確保することができる。即ち、各ランプ波の立ち上がり部分の電圧を用いることなく、立ち上がった後に到達する一定電圧（飽和電圧）を用いて駆動信号を生成すれば、当該各ランプ波についての急峻な立ち上がり特性は不要となる。以上の結果、本発明のデジタルドライバ回路によれば、比較的スルーレートの小さい回路を用いて、消費電力を低くしつつ駆動能力を高めることが可能となり、温度補償等も容易となる。更に、このような回路は、回路面積が比較的小さく且つ比較的単純な回路として構成できる。従って、特に大型の表示パネル等の電気光学装置を駆動する駆動能力の高いデジタルドライバ回路として、或いは電気光学装置に内蔵可能な小型且つ低消費電力のデジタルドライバ回路として、本発明は適している。

【0012】請求項 2 に記載のデジタルドライバ回路は、上述した請求項 1 に記載のデジタルドライバ回路において、前記時間選択手段は、前記 x ビットの値に応じてパルス幅の異なるパルス信号を生成する PWM 回路と、該パルス幅に応じて前記電圧を時間軸上で選択する第 1 スイッチング回路とを備えており、前記系列選択手段は、前記 y ビットの値をデコードするデコーダと、該デコードされた値に応じて前記一系列を選択する第 2 スイッチング回路とを備えたことを特徴とする。

【0013】請求項 2 に記載のデジタルドライバ回路によれば、時間選択手段では、先ず x ビットの値に応じてパルス幅の異なるパルス信号が、PWM 回路により生成され、次に、このパルス幅に応じて、基準マルチランプ波における階段状に変化する電圧が、例えば薄膜トランジスタからなる第 1 スイッチング回路により時間軸上で選択される。他方、系列選択手段では、先ず y ビットの値がデコーダによりデコードされ、次に、このデコードされた値に応じて、一系列の基準マルチランプ波が、例えば薄膜トランジスタからなる第 2 スイッチング回路により選択される。従って、基準マルチランプ波の系列の選択及び電圧の選択を、PWM 回路、デコーダ及びスイッチング回路を組み合わせる用いることにより確実に且つ高信頼性で行うことができ、しかも、このような構成を採用すると、消費電力を低く抑えつつ高い駆動能力を実現することも可能となる。

【0014】請求項 3 に記載されたデジタルドライバ回路は、上述した請求項 1 又は 2 に記載のデジタルドライバ回路において、前記選択された一系列における選択された電圧を前記駆動信号として出力することを特徴とする。

【0015】請求項 3 に記載のデジタルドライバ回路によれば、選択された系列の基準マルチランプ波における選択された電圧が、そのまま駆動信号として出力される。従って、例えばデジタル画像信号のビット数（ n ）

が6ビット程度に少ない場合には、例えば上位3ビットに応じて時間軸上で電圧を選択すると共に下位3ビットに応じて基準マルチランブ波の系列を選択するなど、当該デジタルドライバ回路は、回路構成及び選択方式が比較的単純で済む観点からは特に有効である。

【0016】請求項4に記載されたデジタルドライバ回路は、上述した請求項1又は2に記載のデジタルドライバ回路において、前記 n ビットのうちの前記 y ビットよりも下位に位置する z （但し、 z は自然数）ビットの値に応じて、前記選択された一列における選択された電圧を変化させる電圧変化手段を更に備えており、該変化された電圧を前記駆動信号として出力することを特徴とする。

【0017】請求項4に記載のデジタルドライバ回路によれば、選択された系列の基準マルチランブ波における選択された電圧が、 y ビットよりも下位に位置する z ビット（例えば、最下位の3ビット、4ビット等）の値に応じて、電圧変化手段により変化される。そして、この変化された電圧が駆動信号として出力される。従って、例えばデジタル画像信号のビット数（ n ）が8ビット程度に多い場合には、上位3ビットに応じて時間軸上で電圧を選択すると共に中位2ビットに応じて基準マルチランブ波の系列を選択し、更に最下位3ビットに応じて選択された電圧を細かく変化させるなど、当該デジタルドライバ回路は、低消費電力且つ高駆動能力で多階調を実現する観点から有効である。

【0018】請求項5に記載されたデジタルドライバ回路は、上述した請求項4記載のデジタルドライバ回路において、前記電圧変化手段は、前記選択された一列における選択された電圧を、前記 z ビットの値に応じて増減するSC-DAC回路を備えており、前記系列選択手段は、前記SC-DAC回路により増減を行うための複数系列の参照用マルチランブ波のうち一列を前記 y ビットの値に応じて更に選択し、前記時間選択手段は、前記 x ビットの値に応じて、少なくとも前記選択された一列の参照用マルチランブ波における階段状に変化する電圧を時間軸上で更に選択することを特徴とする。

【0019】請求項5に記載のデジタルドライバ回路によれば、系列選択手段では、SC-DAC回路により増減を行うための複数系列の参照用マルチランブ波のうち一列が、 y ビットの値に応じて更に選択される。他方、時間選択手段では、 x ビットの値に応じて、少なくとも前記選択された一列の参照用マルチランブ波における階段状に変化する電圧が時間軸上で更に選択される。この系列の選択と電圧の選択とは、同時に行われてもよいし、どちらかが先に行われてもよい。そして、電圧変化手段では、選択された系列の基準マルチランブ波における選択された電圧が、 z ビットの値に応じてSC-DAC回路により増減される。従って、例えばデジタル画像信号のビット数（ n ）が8ビット程度に多い場合

にも、最下位3ビットに応じて選択された電圧をSC-DAC回路を用いて細かく変化させるなど、当該デジタルドライバ回路は、低消費電力且つ高駆動能力で多階調を実現する観点から有効である。特に、SC-DAC回路を用いて駆動信号の電圧の細かな調整のみを行う本発明は、全ての階調をSC-DAC回路を用いて実現する従来の技術と比較して、駆動能力の限界を顕著に高めることが出来る。従って、一般に限られたサイズを持ち余り大きなコンデンサを作り込むスペースに乏しい表示パネルに内蔵するデジタルドライバ回路として、本発明は適している。

【0020】請求項6に記載されたデジタルドライバ回路は、上述した請求項5記載のデジタルドライバ回路において、前記SC-DAC回路は、前記選択された一列の基準マルチランブ波における選択された電圧と前記選択された一列の参照用マルチランブ波における選択された電圧とに基づいて前記 z ビットの値に応じて複数のコンデンサを用いたチャージシェアを行うことを特徴とする。

【0021】請求項6に記載のデジタルドライバ回路によれば、選択された系列の基準マルチランブ波における選択された電圧と、選択された系列の参照用マルチランブ波における選択された電圧とに基づいて、 z ビットの値に応じて複数のコンデンサを用いたチャージシェアがSC-DAC回路により行われる。従って、基準マルチランブ波の電圧と、該基準マルチランブ波に対応する参照用マルチランブ波の電圧との間にある電圧をチャージシェアにより出力できる。

【0022】請求項7に記載されたデジタルドライバ回路は、上述した請求項6記載のデジタルドライバ回路において、前記電圧変化手段は、前記 z ビットの値を反転して前記SC-DAC回路に入力する反転手段を更に備えており、前記SC-DAC回路は、前記反転された z ビットの値に応じて、前記チャージシェアによる電圧減算を行うことを特徴とする。

【0023】請求項7に記載のデジタルドライバ回路によれば、電圧変化手段では、先ず、反転手段により、 z ビットの値が反転され、この反転された z ビットの値がSC-DAC回路に入力される。すると、SC-DAC回路では、この反転された z ビットの値に応じて、チャージシェアによる電圧減算が行われる。従って、基準マルチランブ波の電圧と、該基準マルチランブ波に対応すると共に同一時刻において該基準マルチランブ波の電圧よりも低電圧の参照用マルチランブ波の電圧との間にある電圧を電圧減算により出力できる。このように、参照用マルチランブ波の電圧を基準マルチランブ波よりも低電圧としておけば、当該デジタルドライバ回路内における参照用マルチランブ波の扱いが容易となると共に、参照用マルチランブ波を生成するアンプの能力が低くて済むので有利である。

【0024】請求項8に記載されたデジタルドライバ回路は、上述した請求項5記載のデジタルドライバ回路において、前記SC-DACは、前記選択された一列の基準マルチランブ波における選択された電圧と前記選択された一列の参照用マルチランブ波における選択された電圧とに基づいて前記 z ビットの値に応じて複数のコンデンサを用いたチャージポンピングを行うことを特徴とする。

【0025】請求項8に記載のデジタルドライバ回路によれば、選択された系列の基準マルチランブ波における選択された電圧と、選択された系列の参照用マルチランブ波における選択された電圧とに基づいて、 z ビットの値に応じて複数のコンデンサを用いたチャージポンプがSC-DAC回路により行われる。より具体的には、例えば、選択された系列の参照用マルチランブ波の電位と中心電位との差分を、選択されたコンデンサを用いて、選択された系列の基準用マルチランブ波の電位に加算する。従って、チャージポンピングにより、小さな容量で大きな電圧を印加することが可能となる。このため、各コンデンサを小型化して、回路全体の占有面積を小さくできる。

【0026】請求項9に記載されたデジタルドライバ回路は、上述した請求項1から8記載のデジタルドライバ回路において、前記複数系列の基準マルチランブ波の電圧は、階段状に単調に増加又は減少する一期間内においては、所定の時間単位毎に増加又は減少し、前記複数系列の基準マルチランブ波の電圧の同一時間単位における大小関係は、前記一期間内の全ての時間単位において一定であり、且つ前記一期間内では、一の時間単位における複数系列の基準マルチランブ波の電圧の最高値は、該一の時間単位に続く他の時間単位における基準マルチランブ波の電圧の最低値よりも小さく設定されていることを特徴とする。

【0027】請求項9に記載のデジタルドライバ回路によれば、複数系列の基準マルチランブ波において、所定間隔で離散的な値をとる電圧が何れかの系列の基準マルチランブ波の何れかの時間単位に過不足無く現われるので、基準マルチランブ波の系列を選択し且つその電圧を時間軸上で選択することにより、効率良く離散的な値をとる電圧を得ることが出来、この電圧をそのまま駆動信号として、或いはこの電圧に基づいて多階調の駆動信号を出力できる。

【0028】請求項10に記載されたデジタルドライバ回路は、上述した請求項1から9記載のデジタルドライバ回路において、前記複数系列の基準マルチランブ波を生成するマルチランブ波生成手段を更に備えたことを特徴とする。

【0029】請求項10に記載のデジタルドライバ回路によれば、複数系列の基準マルチランブ波は、当該デジタルドライバ回路に備えられたマルチランブ波生成手段

により生成される。従って、特に外部から基準マルチランブ波を供給する必要が無いため、便利である。尚、前述のSC-DAC回路を備えた形式のデジタルドライバ回路の場合には、複数系列の参照用マルチランブ波を生成する参照用マルチランブ波生成手段を更に備えてもよい。或いは、デジタルドライバ回路の外部から、このような基準マルチランブ波や参照用マルチランブ波の一方又は両方を供給するように構成してもよい。

【0030】請求項11に記載されたデジタルドライバ回路は、上述した請求項10記載のデジタルドライバ回路において、前記マルチランブ波生成手段は、前記複数系列の基準マルチランブ波の電圧を夫々調整することにより、前記電気光学装置に対する前記デジタル画像信号の γ 補正を行うことを特徴とする。

【0031】請求項11に記載のデジタルドライバ回路によれば、マルチランブ波生成手段によって複数系列の基準マルチランブ波の電圧が夫々調整され、表示パネル等の電気光学装置に対するデジタル画像信号の γ 補正が行われる。この際、各系列の基準マルチランブ波の夫々における階段状の電圧変化は、一段毎に大きく且つ長い時間を経ての変化であるので、当該 γ 補正を行う場合にも、基準マルチランブ波の時間について要求される精度は低くて済む。このため、比較的スルーレートの小さいマルチランブ波生成手段を用いて、消費電力を低く且つ駆動能力を高めつつ γ 補正を高精度で行うことが可能となる。

【0032】請求項12に記載されたデジタルドライバ回路は、上述した請求項1から9のいずれか一項に記載のデジタルドライバ回路において、前記複数系列の基準マルチランブ波の電圧を夫々調整することにより、前記電気光学装置に対する前記デジタル画像信号の γ 補正を行うことを特徴とする。

【0033】請求項12に記載のデジタルドライバ回路によれば、複数系列の基準マルチランブ波の電圧が夫々調整され、表示パネル等の電気光学装置に対するデジタル画像信号の γ 補正が行われる。この際、各系列の基準マルチランブ波の夫々における階段状の電圧変化は、一段毎に大きく且つ長い時間を経ての変化であるので、当該 γ 補正を行う場合にも、基準マルチランブ波の時間について要求される精度は低くて済む。このため、比較的スルーレートの小さいマルチランブ波生成手段を用いて、消費電力を低く且つ駆動能力を高めつつ γ 補正を高精度で行うことが可能となる。

【0034】請求項13に記載された電気光学装置は、上述した請求項1から12のいずれか一項に記載のデジタルドライバ回路を備えたことを特徴とする。

【0035】請求項13に記載の電気光学装置によれば、前述した本発明のデジタルドライバ回路を備えているので、低消費電力で大型の電気光学装置を実現できる。

【0036】請求項14に記載された電気光学装置は、上述した請求項13記載の電気光学装置において、当該電気光学装置は、各画素におけるスイッチング素子として薄膜トランジスタを備えたTFTアクティブマトリクス駆動方式の液晶装置から構成されており、前記系列選択手段及び前記時間選択手段は夫々、薄膜トランジスタを含んで構成されていることを特徴とする。

【0037】請求項14に記載の電気光学装置によれば、TFTアクティブマトリクス駆動方式の液晶装置を駆動するデジタルドライバ回路における系列選択手段及び時間選択手段も夫々、薄膜トランジスタを含んで構成されているので、装置全体として薄膜トランジスタを用いて各種の素子や手段を構成できる。このため、製造上有利である。特に、このようなデジタルドライバ回路は、TFTマトリクス基板上に薄膜トランジスタを用いて回路面積が比較的小さく且つ比較的単純な回路として構成でき、大画面でありながら低消費電力のTFTアクティブマトリクス駆動方式の液晶装置を実現できる。更に、デジタルドライバ回路において基準マルチランプ波の電圧を調整してγ補正を行う構成をとることにより、高精度のγ補正を行いつつ多階調の高品位な表示動作を行える。

【0038】請求項15に記載された電子機器は、上述した請求項13又は14記載の電気光学装置を備えたことを特徴とする。

【0039】請求項15に記載の電子機器によれば、上述した本発明の電気光学装置を備えているので、大型且つ低消費電力であり、しかも多階調の高品位な表示動作等を行うことが可能なテレビ、カーナビゲーション装置、電子手帳、携帯電話などの電子機器を実現できる。

【0040】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされよう。

【0041】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0042】（第1の実施の形態）本発明の第1の実施の形態のデジタルドライバ回路を図1から図5を参照して説明する。図1は、第1の実施の形態のデジタルドライバ回路の概念を示すブロック図であり、図2は、そのより詳細な構成を示す回路図である。図3は、第1の実施の形態で用いられる基準マルチランプ波の一例を示す波形図であり、図4は、第1の実施の形態における各種信号のタイミングチャートである。また、図5は、比較例における基準マルチランプ波を示す波形図である。

【0043】以下に説明する第1の実施の形態は、6ビットのデジタル画像信号が入力され、これに対応するアナログの駆動信号を生成して、電気光学装置の一例としての液晶装置における液晶パネル部分の信号線に出力するためのデジタルドライバ回路である。特に、第1の実施の形態では、8系列の基準マルチランプ波のうちの

系列をデジタル画像信号の下位3ビットに応じて選択すると共に、この選択された基準マルチランプ波の電圧を上位3ビットに応じて時間軸上で選択するように構成されている。

【0044】図1において、第1の実施の形態のデジタルドライバ回路は、複数のデジタルドライバ回路に対応する段数を持つシフトレジスタ回路10の対応段からの転送信号で6ビットのデジタル画像信号をラッチするラッチ回路A11と、ラッチ回路A11にラッチされたデジタル画像信号を6ビットずつラッチパルス信号LPのタイミングでラッチするラッチ回路B12と、ラッチ回路B12にラッチされた下位3ビットをデコードするデコーダ回路16と、ラッチ回路B12にラッチされた上位3ビットに基づいてパルス幅変調するPWM回路18と、デコーダ回路16からのデコーダ出力信号及びPWM回路18からのPWM信号の電圧レベルを高めるレベルシフタ回路19と、デコーダ回路16からレベルシフタ回路19を介して入力されるデコーダ出力信号に応じて、時間経過により階段状に電圧が夫々変化する8系列の基準マルチランプ波RAMP1～RAMP8のうちの一つを選択出力する第1スイッチング回路21と、第1スイッチング回路21から選択出力される基準マルチランプ波の階段状に変化する電圧を、PWM回路18からレベルシフタ回路19を介して入力されるPWM信号のパルス幅に応じて、時間軸上で選択して駆動信号として液晶パネルの信号線へ出力する第2スイッチング回路22とを備えて構成されている。

【0045】図2において、デジタルドライバ回路には、外部の画像信号源から6ビットのデジタル画像信号D0～D5（但し、D0が下位ビットであり、D5が上位ビットであるとする）が入力されている。当該デジタルドライバ回路に外付け又は内蔵されたクロック生成回路からPWM基本クロックPCL20、PCL21及びPCL22が、PWM回路18におけるパルス幅変調用に入力されている。また、8系列の基準マルチランプ波RAMP1～RAMP8が、当該デジタルドライバ回路に外付け又は内蔵されたマルチランプ波生成回路から入力されている。

【0046】ラッチ回路A11は、各ビットのデジタル画像信号D0～D5に対応しておりトランスミッションゲートとインバータとを夫々含んでなる複数のラッチ部A0～A5を備え、各ラッチ部A0～A5には、シフトレジスタ回路10の対応段からの転送信号が入力される。そして、この転送信号のタイミングでラッチ回路A11は、デジタル画像信号D0～D5をラッチするように構成されている。

【0047】ラッチ回路B12は、各ビットのデジタル画像信号D0～D5に対応しておりトランスミッションゲートとインバータとを夫々含んでなる複数のラッチ部B0～B5を備え、各ラッチ部B0～B5には、ラッチ

パルスLPが入力される。そして、このラッチパルスLPのタイミングでラッチ回路B12は、ラッチ回路A11からのデジタル画像信号D0～D5を一挙にラッチするように構成されている。

【0048】3ビットのデコーダ回路16は、デジタル画像信号D0～D5の下位3ビット(D0～D2)をデコードする。複数の薄膜トランジスタから構成された第1スイッチング回路21は、その3ビットのデコーダ出力信号に応じて、基準マルチランプ波RAMP1～RAMP8のうちの一つを選択的に第2スイッチング回路22の入力端子に供給するように構成されている。即ち、デコーダ回路16及び第1スイッチング回路21から、系列選択手段の一例が構成されている。

【0049】3ビットのPWM回路18は、上位xビット(D3～D5)の値に応じて、パルス幅の異なる3ビットのPWM信号をPWM基本クロックPCL2₀、PCL2₁及びPCL2₂に基づいて生成する。複数の薄膜トランジスタから構成された第2スイッチング回路22は、第1スイッチング回路21を介して供給される基準マルチランプ波の電圧を3ビットのPWM信号のパルス幅に応じて選択的に信号線に供給するように構成されている。即ち、PWM回路18及び第2スイッチング回路22から、時間選択手段の一例が構成されている。

尚、リセット信号RS1が図示しない制御回路から入力されると、PWM回路18はリセットされる。また、第2スイッチング回路22の出力に接続されたC0は、液晶パネルにおける信号線、画素電極等からなる容量を示している。

【0050】尚、レベルシフタ回路19は、例えば、5Vを電源電圧とするPWM信号やデコーダ出力信号の電圧レベルを12Vにまで高める。但し、このような電源電圧の値は、5Vや12Vに限られる訳ではなく、更に、例えば5Vで十分にスイッチング回路21や22におけるスイッチング動作を行えるのであれば、当該レベルシフタ回路19を省略して構成してもよい。

【0051】ここで、基準マルチランプ波RAMP1～RAMP8の具体的な波形の一例を図3に示す。図3は、時間単位T0～T7を含む時間軸に対する複数系列のマルチランプ波RAMP1～RAMP8の各電圧値を示したグラフであり、図中、(0)、(1)、(2)、…、(63)は、各電圧に対応するデジタル画像信号の値(十進数の値)を示している。

【0052】図3に示すように、基準マルチランプ波RAMP1～RAMP8の電圧は、階段状に単調に増加又は減少する一期間(T0～T7)内においては、所定の時間単位Ti(i=0、1、…、7)毎に増加又は減少(図3で示した一期間では増加)する。そして、基準マルチランプ波RAMP1～RAMP8の電圧の同一時間単位Tiにおける大小関係は、一期間(T0～T7)内の全ての時間単位Tiにおいて一定である。即ち、マル

チランプ波RAMPj(j=1、2、…、8)の時間単位Tiにおける電圧をV(j、i)とすると、どの時間単位Tiについても、V(1、i)<V(2、i)<…<V(8、i)が成立する。更に、一期間(T0～T7)内では、一の時間単位Tiにおける複数系列の基準マルチランプ波の電圧の最高値、即ち、マルチランプ波RAMP8の電圧であるV(8、i)は、該一の時間単位に続く他の時間単位における基準マルチランプ波の電圧の最低値、即ちマルチランプ波RAMP8の電圧であるV(1、i+1)よりも小さく設定されている。即ち、どの時間単位TiについてもV(8、i)<V(1、i+1)が成立する。

【0053】このように規則正しく基準マルチランプ波RAMP1～RAMP8の波形を規定しているため、所定間隔で離散的な値をとる電圧が何れかの基準マルチランプ波RAMP1～RAMP8の何れかの時間単位Tiに過不足無く現われる。このため、基準マルチランプ波RAMP1～RAMP8を選択し、且つその電圧を時間軸上で選択することにより、効率良く離散的な値をとる電圧を得ることが出来る。

【0054】次に、以上のように構成された本実施の形態の動作について、図4のタイミングチャートを参照して説明する。図4の例では、デジタル画像信号の6ビットの値は、前半の一期間(左半分)では(101000)であり、後半の一期間(右半分)では(010000)であるものとする。

【0055】図4において、前半の一期間では、一方で、デコーダ回路16により、下位ビット(000)の値がデコードされて、そのデコード出力信号に応じて第1スイッチング回路21により、基準マルチランプ波RAMP1が選択されている。そして、この基準マルチランプ波RAMP1が、第2スイッチング回路22の入力端子に供給される。他方で、PWM回路18により、PWM基本クロックPCL2₀、PCL2₁及びPCL2₂に基づいて、上位3ビット(101)の値“5”に対応して、T4(即ち、5番目の時間単位)までハイレベルとなる3ビットのPWM信号(PWMout)が生成され、第2スイッチング回路22の制御端子(即ち、各薄膜トランジスタのゲート電極)に供給される。そして、入力端子に供給された基準マルチランプ波RAMP1の時間単位T4における電圧が駆動信号電圧として第2スイッチング回路22から信号線に出力される。

【0056】これに続く時間単位Tblankでは、ラッチパルスLPにより、次のデジタル画像信号がラッチ回路B12によりラッチされ、更に、リセット信号RS1によりPWM回路18がリセットされる。

【0057】また後半の一期間では、一方で、デコーダ回路16により、下位ビット(000)の値がデコードされて、そのデコード出力信号に応じて第1スイッチング回路21により、基準マルチランプ波RAMP1が選

択されている。そして、この基準マルチランプ波 RAMP 1 が、第 2 スイッチング回路 22 の入力端子に供給される。他方で、PWM 回路 18 により、PWM 基本クロック PCL 2₀、PCL 2₁ 及び PCL 2₂ に基づいて、上位 3 ビット (010) の値 “2” に対応して、T₁ (即ち、2 番目の時間単位) までハイレベルとなる 3 ビットの PWM 信号が生成され、第 2 スイッチング回路 22 の制御端子に供給される。そして、入力端子に供給された基準マルチランプ波 RAMP 1 の時間単位 T₂ における電圧が駆動信号電圧として第 2 スイッチング回路 22 から信号線に出力される。

【0058】これに続く時間単位 T_{blank} では、ラッチパルス LP により、次のデジタル画像信号がラッチ回路 B12 によりラッチされ、更に、リセット信号 RS1 により PWM 回路 18 がリセットされる。

【0059】本実施の形態では、このように出力される駆動信号は、TFT アクティブマトリクス駆動方式の液晶パネルの信号線に供給されるものとする。この場合、n 行目の画素行を駆動するための走査信号 Y_n が供給される一水平走査期間と、上述の一期間 (T₀ ~ T₇) とが対応付けられる。そして、図 4 において、前半の一期間内の時間単位 T₇ と後半の一期間の時間単位 T₀ との間にある T_{blank} は、水平帰線期間に対応しており、一水平走査期間 = T₀ + T₁ + … + T₇ + T_{blank} が成立している。尚、図 3 及び図 4 に示したように基準マルチランプ波が一期間 (T₀ ~ T₇) で極性反転しているのは、液晶パネルの駆動において、走査線毎に駆動電圧極性を反転させる走査線反転駆動方式を実施するためである。

【0060】以上説明したように本実施の形態によれば、基準マルチランプ波 RAMP 1 ~ RAMP 8 の選択と時間軸上における電圧の選択 (即ち、時間単位 T₀ ~ T₇ の選択) とを組み合わせることにより、各デジタル画像信号 D₀ ~ D₅ の値に対応する駆動信号を生成するので、各基準マルチランプ波 RAMP 1 ~ RAMP 8 の夫々における階段状の電圧変化は、一段毎に比較的大きな変化となり、且つ一段毎に比較的大きな時間を経ての変化となる。

【0061】ここで、前述した従来の PWM 及びランプ波を用いた形式のデジタルドライバ回路において階調表示を可能ならしめる一列の基準マルチランプ波を、比較例として図 5 に示す。図 5 (A) の比較例では、時間単位 T_i' (i = 0 ~ 63) 毎に電圧が頻繁に変化しており、且つ各電圧変化も微少な変化となっている。図 5 (B) の比較例は、更に γ 補正を電圧変化により可能ならしめる一列のマルチランプ波の場合であり、この比較例では、時間単位 T_i' (i = 0 ~ 63) 毎に電圧が頻繁に変化しており、特に中央電圧付近での各電圧変化は非常に微少な変化となっている。

【0062】図 3 (本実施の形態) 及び図 5 (比較例)

を比較すれば明かなように、本実施の形態における基準マルチランプ波 RAMP 1 ~ RAMP 8 の夫々における階段状の電圧変化は、比較例の基準マルチランプ波と比較すると、同一階調数の駆動信号を得るのであれば、一段毎に大きな変化となり、且つ一段毎に長い時間を経ての変化となる。例えば、系列数を M (M: 自然数) とし、一列の基準マルチランプ波 (比較例) の場合の一段毎の電圧変化が ΔV であるとすれば、本実施の形態では、同じ細かさの階調変化を実現するために必要な一段毎の電圧変化は $\Delta V \times M$ という大きなものとなる。更に、一列の基準マルチランプ波 (比較例) の場合の一段の時間が ΔT であるとすれば、本実施の形態では、同じ細かさの階調変化を実現するために必要な一段の時間は $\Delta T \times M$ という長いものとなる。

【0063】更に、本実施の形態において、 γ 補正をマルチランプ波の電圧変化により行う場合にも、図 3 に示した複数列のマルチランプ波 RAMP 1 ~ RAMP 8 の間隔や角度が若干変化するだけであり、図 5 (B) に示した比較例と比較して、同一階調数の駆動信号を得るのであれば、一段毎の電圧変化を大きくでき、且つ一段毎の時間も長くとれる。

【0064】従って本実施の形態によれば、基準マルチランプ波 RAMP 1 ~ RAMP 8 の夫々について要求される時間についての精度は顕著に低くなり、更に、基準マルチランプ波 RAMP 1 ~ RAMP 8 を供給するためのアンプの能力が低くても、表示パネルの信号線等からなる容量 C₀ を駆動信号の電圧に飽和させるに十分な時間的余裕を確保することができる。即ち、基準マルチランプ波 RAMP 1 ~ RAMP 8 の夫々に含まれる各ランプ波の立ち上がり部分の電圧を用いることなく、立ち上がった後に到達する一定電圧 (飽和電圧) を用いて駆動信号を生成するので、当該各ランプ波についての急峻な立ち上がり特性は不要となる。これは、特に表示パネルの画素列毎に設けられた多数の信号線を、複数或いは全て同時に駆動する場合には極めて有利となる。

【0065】以上の結果、本実施の形態のデジタルドライバ回路によれば、比較的スルーレートの小さい回路を用いて、消費電力を低くしつつ駆動能力を高めることが可能となり、温度補償等も容易となる。更に、このような回路は、回路面積が比較的小さく且つ比較的単純な回路として構成できる。従って、特に大型の液晶パネルを駆動する駆動能力の高いデジタルドライバ回路として、或いは液晶パネルに内蔵可能な小型且つ低消費電力のデジタルドライバ回路として、本実施の形態は適している。

【0066】第 1 の実施の形態では特に、選択された基準マルチランプ波における選択された電圧を駆動信号としてそのまま出力するように構成されている。このため、例えばデジタル画像信号のビット数が 6 ビット程度に少ない場合には、当該デジタルドライバ回路は、回路

構成及び選択方式が比較的単純で済む観点からは特に有効である。更に、電圧信号である駆動信号により液晶パネル等の電圧駆動型の電気光学装置を駆動するのみならず、基準マルチランプ波に係る電流供給能力を高めることにより、EL（エレクトロルミネッセンス）パネル等の電流駆動型の電気光学装置を駆動することも可能となる。

【0067】（第2の実施の形態）本発明の第2の実施の形態のデジタルドライバ回路を図6から図9を参照して説明する。図6は、第2の実施の形態のデジタルドライバ回路の概念を示すブロック図であり、図7は、そのより詳細な構成を示す回路図である。図8は、第2の実施の形態で用いられる基準マルチランプ波及び参照用マルチランプ波を示す波形図であり、図9は、第2の実施の形態における各種信号のタイミングチャートである。尚、図6から図9において、図1、図2及び図4に示した第1の実施の形態における構成要素や信号と同じ構成要素や信号には、同じ参照符号を付し、その説明は省略する。

【0068】以下に説明する第2の実施の形態は、8ビットのデジタル画像信号が入力され、これに対応するアナログの駆動信号を生成して、電気光学装置の一例としての液晶パネルの信号線に出力するためのデジタルドライバ回路である。特に、第2の実施の形態では、4系列の基準マルチランプ波のうちの一列をデジタル画像信号の中位2ビットに応じて選択すると共に、この選択された基準マルチランプ波の電圧を上位3ビットに応じて時間軸上で選択することで粗い階調の電圧を得た後、この粗い階調の電圧に基づいてSC-DAC回路により細かな階調の電圧を得るように構成されている。

【0069】図6において、第2の実施の形態のデジタルドライバ回路は、複数のデジタルドライバ回路に対応する段数を持つシフトレジスタ回路10'の対応段からの転送信号で8ビットのデジタル画像信号をラッチするラッチ回路A11'と、ラッチ回路A11'にラッチされたデジタル画像信号を8ビットずつラッチパルス信号LPのタイミングでラッチするラッチ回路B12'と、ラッチ回路B12'にラッチされた中位2ビットをデコードするデコーダ回路16'と、ラッチ回路B12'にラッチされた上位3ビットに基づいてパルス幅変調するPWM回路18と、デコーダ回路16'からのデコーダ出力信号及びPWM回路18からのPWM信号並びに下位3ビットの電圧レベルを高めるレベルシフト回路19'と、デコーダ回路16'からレベルシフト回路19'を介して入力されるデコーダ出力信号に応じて、時間経過により階段状に電圧が夫々変化する4系列の基準マルチランプ波RAMP1～RAMP4のうちの一つを選択出力する第1スイッチング回路A21aと、第1スイッチング回路A21aから選択出力される基準マルチランプ波の階段状に変化する電圧を、PWM回路18

からレベルシフト回路19'を介して入力されるPWM信号のパルス幅に応じて、時間軸上で選択する第2スイッチング回路A22aとを備えて構成されている。第2の実施の形態のデジタルドライバ回路は更に、レベルシフト回路19'を介して入力される下位3ビットの値に応じて、第2スイッチング回路A22aにより選択された電圧を増減し、駆動信号として信号線に出力するSC-DAC回路25を備える。当該デジタルドライバ回路には、SC-DAC回路25による電圧の増減を行う際に参照用に用いられる、マルチランプ波RAMP1～RAMP4に夫々対応する複数系列の参照用マルチランプ波REF1～REF4が入力される。そして、デジタルドライバ回路は更に、デコーダ回路16'からレベルシフト回路19'を介して入力されるデコーダ出力信号に応じて、参照用マルチランプ波REF1～REF4のうちの一つを選択出力する第1スイッチング回路B21bと、第1スイッチング回路B21bから選択出力される参照用マルチランプ波の階段状に変化する電圧を、PWM回路18からレベルシフト回路19'を介して入力されるPWM信号のパルス幅に応じて、時間軸上で選択する第2スイッチング回路B22bとを備えて構成されている。このように、第2の実施の形態では、下位3ビットの値に応じて、第2スイッチング回路A22aにより選択された電圧を変化させる電圧変化手段の一例が、SC-DAC回路25から構成されている。

【0070】図7において、デジタルドライバ回路には、8ビットのデジタル画像信号D0～D7（但し、D0が下位ビットであり、D7が上位ビットであるとする）、PWM基本クロックPCL20、PCL21及びPCL22、4系列の基準マルチランプ波RAMP1～RAMP4、並びに4系列の参照用マルチランプ波REF1～REF4が入力されている。

【0071】ラッチ回路A11'は、各ビットのデジタル画像信号D0～D7に対応しておりトランスミッションゲートとインバータとを夫々含んでなる複数のラッチ部A0～A7を備え、各ラッチ部A0～A7には、シフトレジスタ回路10'からの転送信号が順次入力される。そして、この転送信号のタイミングでラッチ回路A11'は、デジタル画像信号D0～D5をラッチするように構成されている。

【0072】ラッチ回路B12'は、各ビットのデジタル画像信号D0～D7に対応しておりトランスミッションゲートとインバータとを夫々含んでなる複数のラッチ部B0～B7を備え、各ラッチ部B0～B7には、ラッチパルスLPが入力される。そして、このラッチパルスLPのタイミングでラッチ回路B12'は、ラッチ回路A11'からのデジタル画像信号D0～D7を一挙にラッチするように構成されている。

【0073】2ビットのデコーダ回路16'は、デジタル画像信号D0～D7の中位2ビット（D3、D4）を

デコードする。複数の薄膜トランジスタから構成された第1スイッチング回路A21aは、その2ビットのデコード出力信号に応じて、基準マルチランプ波RAMP1～RAMP4のうちの一つを選択的に第2スイッチング回路A22aの入力端子に供給するように構成されている。即ち、デコード回路16'及び第1スイッチング回路A21aから、系列選択手段の一例が構成されている。第1スイッチング回路A21aと同様に構成された第1スイッチング回路B21bは、2ビットのデコード出力信号に応じて、参照用マルチランプ波REF1～REF4のうちの一つを選択的に第2スイッチング回路B22bの入力端子に供給するように構成されている。

【0074】複数の薄膜トランジスタから構成された第2スイッチング回路A22aは、第1スイッチング回路A21aを介して供給される基準マルチランプ波の電圧を3ビットのPWM信号のパルス幅に応じて選択的にSC-DAC回路の基準電圧端子に供給するように構成されている。即ち、PWM回路18及び第2スイッチング回路A22aから、時間選択手段の一例が構成されている。第2スイッチング回路A22aと同様に構成された第2スイッチング回路B22bは、第1スイッチング回路B21bを介して供給される参照用マルチランプ波の電圧を3ビットのPWM信号のパルス幅に応じて選択的にSC-DAC回路の参照電圧端子に供給するように構成されている。

【0075】SC-DAC回路25は、容量比が4C:2C:1Cの3個のコンデンサを備える。各コンデンサは、リセット信号RS3及びその反転信号によりリセットTFT25aが導通状態とされて、リセットされる。そして、リセット信号RS3がローレベルとなるとリセットTFT25aが非導通状態とされて、各コンデンサには、第2スイッチング回路B22bから選択的に供給される参照用マルチランプ波の電圧が蓄積される。この時、レベルシフト回路19'を介して入力される下位3ビットの値に応じて、スイッチングTFT25bが導通状態とされて、各コンデンサに蓄積された電圧が第2スイッチング回路A22aから選択的に供給される基準マルチランプ波に加算されるように構成されている。

【0076】尚、レベルシフト回路19'は、例えば、5Vを電源電圧とするPWM信号やデコード出力信号の電圧レベルを12Vにまで高める。

【0077】ここで、基準マルチランプ波RAMP1～RAMP4及びこれに対応する参照用マルチランプ波REF1～REF4の具体的な波形の一例を図8に示す。図8は、説明の便宜上、時間単位T0～T3に対する夫々のマルチランプ波の各電圧値を示したグラフである。

【0078】図8の例では、各参照用マルチランプ波は、対応する基準マルチランプ波の電圧をSC-DAC回路25における上述した電圧加算型のチャージシェアにより高めることが可能なように、対応する基準マルチ

ランプ波の電圧よりも夫々高く設定されている。

【0079】次に、以上のように構成された本実施の形態の動作について、図9のタイミングチャートを参照して説明する。

【0080】図9において、上位6ビットについては、図4を参照して説明した第1の実施の形態の場合と同様に、前半の一期間では、基準マルチランプ波RAMP1の時間単位T4における電圧が第2スイッチング回路A22aから出力され、後半の一期間では、基準マルチランプ波RAMP1の時間単位T2における電圧が第2スイッチング回路A22aから出力される。これと並行して、前半の一期間では、参照用マルチランプ波REF1の時間単位T4における電圧が第2スイッチング回路B22bから出力され、後半の一期間では、参照用マルチランプ波REF1の時間単位T2における電圧が第2スイッチング回路B22bから出力される。

【0081】第2の実施の形態では、特に、リセット信号RS2のタイミングで、レベルシフト回路19'を介して下位3ビットがSC-DAC回路25に入力され、リセット信号RS3がローレベルになる期間に、SC-DAC回路25の各コンデンサに蓄積された電圧が下位3ビットの値に応じて、第2スイッチング回路A22aから出力された基準マルチランプ波に対してチャージシェアにより電圧加算される。即ち、チャージシェアの場合には、SC-DAC回路25を構成する各コンデンサにおいて、対向する電極側が、スイッチ(TFT)による接続と共に“Vref-Vcenter(但し、Vref:選択された参照用マルチランプ波REFの電圧)”分だけシフトすることにより、基準マルチランプ波RAMPの電圧に対する電圧加算が行われる。

【0082】以上のように、第2の実施の形態では、8ビットのデジタル画像信号に対し、上位3ビットに応じて時間軸上で電圧を選択すると共に中位2ビットに応じて基準マルチランプ波の系列を選択し、更に下位3ビットに応じて選択された電圧を細かく変化させるので、低消費電力且つ高駆動能力で多階調を実現する観点から有効である。

【0083】本実施の形態では、SC-DAC回路25を用いて駆動信号の電圧の細かな調整のみを行うので、全ての階調をSC-DAC回路を用いて実現する従来の技術と比較して、駆動能力の限界を顕著に高めることが出来る。従って、一般に限られたサイズを持ち余り大きなコンデンサを作り込むスペースに乏しい液晶パネルに内蔵するデジタルドライバ回路として、本実施の形態は適している。

【0084】本実施の形態では特に、選択された基準マルチランプ波における選択された電圧と、選択された参照用マルチランプ波における選択された電圧とに基づいて、下位3ビットの値に応じて複数のコンデンサを用いたチャージシェアがSC-DAC回路により行われる。

従って、基準マルチランプ波の電圧と、該基準マルチランプ波に対応する参照用マルチランプ波の電圧との間にある電圧をチャージシェアにより出力できる。

【0085】（第3の実施の形態）本発明の第3の実施の形態のデジタルドライバ回路を図10及び図11を参照して説明する。図10は、第3の実施の形態のデジタルドライバ回路の回路図である。図11は、第3の実施の形態における各種信号のタイミングチャートである。尚、図10及び図11において、図7及び図9に示した第2の実施の形態における構成要素や信号と同じ構成要素や信号には、同じ参照符号を付し、その説明は省略する。

【0086】図10において、第3の実施の形態のデジタルドライバ回路は、第2の実施の形態と比べて、ラッチ回路B12' から出力される下位3ビットを夫々反転する反転手段の一例としての反転回路26を備えた点が異なり、その他の構成は同じである。

【0087】そして、SC-DAC回路25は、反転された下位3ビットの値に応じて、参照用マルチランプ波を用いてチャージシェアによる電圧減算を行う。図11に示すように、その他の動作については、第2の実施の形態の場合と同様である。

【0088】従って、同一時刻において基準マルチランプ波RAMP1～RAMP4の電圧と、これらよりも夫々低電圧の参照用マルチランプ波REF1～REF4の電圧との間にある電圧を電圧減算により出力できる。このように、本実施の形態では、参照用マルチランプ波REF1～REF4の電圧は、基準マルチランプ波RAMP1～RAMP4よりも低電圧とできるので、デジタルドライバ回路内における参照用マルチランプ波の扱いが容易となると共に、参照用マルチランプ波REF1～REF4を生成するアンプの能力が低くて済むので有利である。

【0089】（第4の実施の形態）本発明の第4の実施の形態のデジタルドライバ回路を図12及び図13を参照して説明する。図12は、第4の実施の形態のデジタルドライバ回路の回路図である。図13は、第4の実施の形態における各種信号のタイミングチャートである。尚、図12及び図13において、図7及び図9に示した第2の実施の形態における構成要素や信号と同じ構成要素や信号には、同じ参照符号を付し、その説明は省略する。

【0090】図12において、第4の実施の形態のデジタルドライバ回路は、第2の実施の形態と比べて、次の点が異なる。即ち、SC-DAC回路25'は、電源Vcenter25cと、電源Vcenter25Cをリセット信号RS3及びその反転信号RS3'により選択的に3個のコンデンサに供給するスイッチング回路25dと、選択された参照用マルチランプ波をリセット信号RS3及びその反転信号RS3'により選択的に3個のコンデンサに

供給するスイッチング回路25eとを備えており、選択された参照用マルチランプ波REFの電位と電位Vcenterとの差分を、選択されたコンデンサを用いて、選択された基準用マルチランプ波RAMPの電位に加算する、即ちチャージポンピングするように構成されている。

【0091】このようにチャージポンピングを行う場合には、図13に示すように、参照用マルチランプ波REFの波形は、階調電圧の差が大きいくところ程大きな電圧となるが、チャージシェアによる駆動の場合より電圧振幅が小さくて済む。なぜなら、SC-DAC回路25'においては、チャージポンピングにより、小さな容量で大きな電圧を印加することが可能だからである。このため、SC-DAC回路25'の場合、TFT等の素子数は若干増加するものの、コンデンサを小型に出来るので、回路全体の占有面積を小さくすることが可能となる。

【0092】そして、SC-DAC回路25'は、図12及び図13に示すように、下位3ビットの値に応じて、上述のチャージポンピングを行うが、その他の動作については、第2の実施の形態の場合と同様である。

【0093】ここで、以上説明した各実施の形態におけるデジタルドライバ回路に対し、基準マルチランプ波を供給するマルチランプ波生成回路について図14を参照して説明する。

【0094】図14において、マルチランプ波生成回路50は、複数のメモリ51、複数の10ビットDAC（デジタル／アナログコンバータ）回路52及び複数の出力アンプ回路53を備えて構成されている。メモリ51は、各系列のRAMP波形を規定するための離散的な電圧値を格納する。10ビットDAC回路52は、メモリ51に格納された電圧値に従ってアナログデータを夫々出力する。出力アンプ回路53は、10ビットDAC回路52から出力されるアナログデータを増幅するが、その入力電圧が変化する結果として、各マルチランプ波が生成されるように構成されている。このように、マルチランプ波生成回路50においては、スルーレートは、出力アンプ回路53の性能に依存しており、10ビットDAC回路52は、電圧値のみを出力アンプ回路53に供給するだけで良い。

【0095】以上のように、複雑な制御を行う必要がなく、出力アンプ回路53のスルーレートや出力パワーが低くてもよいので、当該マルチランプ波生成回路50は、全体として非常に簡単な回路で構成可能であり、実用上大変有利である。この際特に、マルチランプ波に含まれる各ランプ波において到達する一定電圧（飽和電圧）の精度があればマルチランプ波の形状は不問であるので、該一定電圧が得られる範囲内でスルーレートをなるべく小さく設定することにより、消費電力を限界まで低めることも可能となる。

【0096】本実施の形態によれば、前述のように各系

列の基準マルチランプ波の夫々における階段状の電圧変化は、一段毎に大きく且つ長い時間を経ての変化であり、他方、駆動信号の生成には、立ち上がり時の電圧は用いられることなく、立ち上がり後に到達する一定電圧が用いられる。このため、緩やかな立ち上がりであっても到達する一定電圧の精度が高ければ、出力アンプ回路 53 のスルーレートが小さくても、或いはスルーレートの精度が低くても、当該出力アンプ回路 53 から出力される基準マルチランプ波を用いて、低消費電力で高い駆動能力を実現できる。

【0097】以上のように構成されたマルチランプ波生成回路は、デジタルドライバ回路に外付けされてもよいし、内蔵されてもよい。また、参照用マルチランプ波を生成するマルチランプ波生成回路も同様に構成されており、メモリに格納されるパラメータを変更することで、基準マルチランプ波よりも電圧の高い或いは低い参照用マルチランプ波を生成できる。

【0098】また、このように構成されたマルチランプ波生成回路において、複数系列の基準マルチランプ波の電圧を夫々調整することにより、液晶パネルに対するデジタル画像信号のγ補正を行うように構成してもよい。この場合にも、各系列の基準マルチランプ波の夫々における階段状の電圧変化は、一段毎に大きく且つ長い時間を経ての変化であるので、基準マルチランプ波の時間について要求される精度は低くて済み、基準マルチランプ波に含まれる各ランプ波の立ち上がり部分の電圧を用いることなく、立ち上がった後に到達する一定の電圧を用いて駆動信号を生成する本実施の形態においては、各ランプ波に急峻な立ち上がり特性は不要となる。このため、比較的スルーレートの小さい或いはスルーレートの精度の低いマルチランプ波生成回路を用いて、消費電力を低く且つ駆動能力を高めつつγ補正を高精度で行うことが可能となる。

【0099】以上説明した各実施の形態では、上位の複数ビットに応じて時間軸上の選択をし、中位又は下位の複数ビットに応じて基準マルチランプ波の系列を選択し、或いはこれに加えて、下位の複数ビットに応じて S C-D A C により電圧を変化させるようにしたが、これら各位のビット数は、各実施の形態における数に限られず任意であり、装置の仕様に応じて適宜変更可能である。

【0100】ここで、以上説明した本発明による実施の形態と、前述した従来の特開平 9-54309 号公報に開示された直列分圧抵抗回路を備えた形式のデジタルドライバ回路（以下、“比較例 1”と称する）と、前述した従来の S C-D A C 回路で全ての階調電圧を得る形式のデジタルドライバ回路（以下、“比較例 2”と称する）とを、デジタルドライバ回路として重要な各種の項目について比較してみる。

【0101】まず、ラッチ回路を除く部分で必要となる

大型の T F T の数については、本実施の形態の場合が、16 個程度で足りるのに比較して、比較例 1 では、48 個程度も必要になってしまう。これは、比較例 1 では、抵抗に接続された T F T におけるソース及びドレイン間の抵抗を下げる必要があるためである。従って、このような大型の T F T の個数増大により回路面積が大きくなってしまふ。尚、比較例 2 においては、このような大型の T F T は必要とされない。

【0102】次に、比較例 1 では、ポリシリコン等からなる抵抗器を設ける必要がある。本実施の形態や比較例 2 の場合には、このような抵抗器は必要とされない。他方、比較例 2 では、多数のコンデンサを夫々チャージしたりリセットする配線が必要となり、回路面積の増大を招く。また、駆動能力を高めるために大容量のコンデンサを設けると更なる回路面積の増大を招く。このため、比較例 2 の場合には、対角 5”程度のサイズの液晶パネルを駆動するのが限界である。これに対して、本実施の形態や比較例 1 の場合には、大きなサイズの液晶パネル等を駆動することが可能である。

【0103】次に、垂直サイズについて考察を加えると、回路ピッチが 0.15 mm である場合、本実施の形態では、約 3 mm にまで微細化が可能である。これに対して、比較例 1 では、6~7 mm 程度になってしまう。他方、比較例 2 では、4.2 mm 程度までの微細化が可能である。

【0104】最後に、消費電力について考えると、同一の駆動能力を発揮させる場合には、比較例 1 では、抵抗における電力消費が大きいため、全体としての消費電力も大きい。これに対して、本実施の形態や比較例 2 では、比較例 1 の如く抵抗に大量の電流が流れるような構成を採っていないため、消費電力が小さい。

【0105】以上のように本実施の形態のデジタルドライバ回路が、駆動能力の観点、消費電力の観点、回路面積の観点等から総合的に大変優れていることが判る。

【0106】（液晶装置の実施の形態）以上説明した各実施の形態のデジタルドライバ回路を内蔵する電気光学装置の一例たる液晶装置の各実施の形態について図 15、図 16 及び図 17 を参照して説明する。

【0107】図 15 に示す液晶装置の一実施の形態は、一対の基板間に挟持された液晶を備えており、一方の基板である T F T アレイ基板 100 上には、マトリクス状の各画素における液晶に電圧を印加するための画素電極 40 が設けられている。画素電極 40 には、各画素に設けられた T F T 30 のソース及びドレインを介して信号線 41 からの駆動信号がデータ信号として供給される。T F T 30 のゲートには、走査線 41 から走査信号が供給される。

【0108】図 15 の実施の形態では特に、信号線駆動回路 101 は、シフトレジスタ回路 10 を 1 個有すると共に前述した第 1 の実施の形態のデジタルドライバ回路

(図2参照)に等しいデジタルドライバ回路200を信号線41に対応する数だけ複数有し、各信号線41を駆動するように構成されている。基準マルチランブ波RAMP1~RAMP8用の配線は、全てのデジタルドライバ回路200に共通に接続されている。このため、これらのマルチランブ波を出力するアンプは、最終的に複数の信号線41の電圧を飽和させる電圧供給能力が必要となるが、前述のように階段状のマルチランブ波を複数系列用いるが故に、各マルチランブ波により信号線41を電氣的飽和するに十分な時間的余裕がある。

【0109】信号線駆動回路101は、TFTアレイ基板100上に形成されている。前述のように、各デジタルドライバ回路200は、例えば画素ピッチが0.15mmである場合でも、垂直サイズを約3mmにまでに微細化できる。

【0110】図16に示す液晶装置の他の実施の形態は、第2から第4の実施の形態のデジタルドライバ回路(図7、図10及び図12参照)のいずれかに等しいデジタルドライバ回路200'を信号線41に対応する数だけ複数有する。基準マルチランブ波RAMP1~RAMP4及び参照用マルチランブ波REF1~REF4用の配線は、全てのデジタルドライバ回路200'に共通に接続されている。図16の液晶装置におけるその他の構成については、図15の例と同様である。

【0111】図17に示す液晶装置の更に他の実施の形態は、前述した第1の実施の形態のデジタルドライバ回路(図2参照)に等しいデジタルドライバ回路200を上下に2分割したデジタルドライバ回路200A(下側)及び200B(上側)を備えて構成されている。より具体的には、下側の信号線駆動回路101Aは、シフトレジスタ回路10Aを1個有すると共に、このように分割されたデジタルドライバ回路200Aを偶数番目(番号X2、X4、…、X2n)の信号線41に対応する数だけ複数有し、各偶数番目の信号線41を駆動するように構成されており、上側の信号線駆動回路101Bは、シフトレジスタ回路10Bを1個有すると共に、このように分割されたデジタルドライバ回路200Bを奇数番目(番号X1、X3、…、X2n-1)の信号線41に対応する数だけ複数有し、各奇数番目の信号線41を駆動するように構成されている。このため、デジタルドライバ回路200A及び200Bのビット数は夫々、第1の実施の形態のデジタルドライバ回路200のビット数(即ち、mビット)の1/2(即ち、m/2ビット)とされている。

【0112】更に、本実施の形態の液晶装置においては、その製造途中又は製造後に行われる所定種類の電気特性検査を行うための検査回路についても上下に2分割され、下側に検査回路210B及び上側に検査回路210Aとして設けられている。検査回路210A及び210Bは夫々、TFT等から夫々構成される複数のアナロ

グスイッチ211と、その開閉を夫々制御する複数のスイッチ開閉制御回路212とを備える。そして、偶数番目の信号線41を介して、信号線の開放(断線)、短絡等进行检查する際には、上側の検査回路210Aに接続された検査用の端子ANGoutT、ToutT及びTinTにおいて、所定電圧を印加したり電流を計測したりする。他方、奇数番目の信号線41を介して検査する際には、下側の検査回路210Bに接続された検査用の端子ANGoutB、ToutB及びTinBにおいて、所定電圧を印加したり電流を計測したりするように構成されている。

【0113】尚、図17では、走査線42に沿って各画素行毎に設けられており、各画素における液晶容量に対して蓄積容量を付加するための容量線43が示されているが、図15及び図16に示した液晶装置の各実施の形態においても、図示しない容量線が同様に設けられている。

【0114】本実施の形態の液晶装置は、このように上下に分割された各回路が相互に入り組んで配置されることにより、全体としてコンパクトな構成となっている。即ち、デジタルドライバ回路や検査回路を分割したことにより、各回路を構成する素子の数が1/2となり、一つにまとめてこれらの回路を夫々形成する場合と比較して、各回路による占有面積が夫々減り、各回路についての余裕を持った素子の配置や配線が可能となる。

【0115】特に中央に画像表示領域があると共にその上下に周辺領域がある液晶パネル等の電気光学パネルに対しては、当該上下の周辺領域にバランス良く余裕を持った素子の配置や配線が可能となる。

【0116】また、このように分割することは、回路の均等配置を可能ならしめるものであり、装置基板上におけるデッドスペースの有効利用を図れる。例えば、液晶パネルの場合、一対の基板を相接着して両基板間に液晶を封入するためのシール材直下にあるデッドスペースを活用できる。即ち、シール材は、基板に余分な応力を与えないように基板の周囲に均等の幅で接するように設けられているので、回路を分割して各回路の素子数を低減して、各回路をシール材直下の領域の形状に合わせて均等に配置すればよい。

【0117】そして、この種の電気光学パネルのように画素ピッチにより走査線に沿った一方向についての回路素子のピッチが特に制約を受ける場合には、本実施の形態は有効である。

【0118】また、検査回路のサイズは、デジタルドライバ回路の素子サイズよりも小さいので、検査回路の分割によって、更に省スペース化が図られ、レイアウト設計上有利である。

【0119】更に、シフトレジスタ10A及び10Bの段数が、第1の実施の形態の場合と比較して半分になるため、動作周波数も1/2になり、回路設計上有利である。

【0120】尚、図17において、上側のマルチランプ波 RAMP 1 T ~ 8 T の位相と、下側のマルチランプ波 RAMP 1 B ~ 8 B の位相とを、180度ずらすことにより、ドット反転駆動を行うことができ、これにより表示画像のフリッカ等の防止や直流電圧印加による液晶の劣化防止を図ることも可能である。

【0121】以上のように図15から図17に示した液晶装置の各実施の形態によれば、画像表示領域を大きくしても十分に駆動可能であり、装置本体に対する画像表示領域の占める割合を大きくでき、しかも消費電力を低められる。更に、マルチランプ波の各電圧値を調整することで補正を精度良く行うことも可能である。

【0122】尚、図15から図17に示した液晶装置の各実施の形態では、各画素におけるスイッチング素子として TFT 30 を備えた TFT アクティブマトリクス駆動方式の液晶装置として構成されているが、デジタルドライバ回路 200 を構成する各種スイッチや論理回路等（図2、図7、図10及び図12参照）についても TFT から構成することが望ましい。即ち、このように構成すれば、装置全体として薄膜形成技術により各種の素子を構成できるので、製造上有利である。

【0123】（電子機器）次に、以上説明した液晶装置を備えた電子機器の実施の形態について図18から図22を参照して説明する。

【0124】先ず図18に、このように液晶装置を備えた電子機器の概略構成を示す。

【0125】図18において、電子機器は、表示情報出力源 1000、表示情報処理回路 1002、駆動回路 1004、液晶パネル 1006、クロック発生回路 1008 並びに電源回路 1010 を備えて構成されている。表示情報出力源 1000 は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含み、クロック発生回路 1008 からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路 1002 に出力する。表示情報処理回路 1002 は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号 CLK と共に駆動回路 1004 に出力する。駆動回路 1004 は、上述した各実施の形態におけるデジタルドライバ回路に対応しており、液晶パネル 1006 を駆動する。電源回路 1010 は、上述の各回路に所定電源を供給する。尚、液晶パネル 1006 を構成する TFT アレイ基板の上に、駆動回路 1004 を搭載してもよく、これに加えて表示情報処理回路 1002 を搭載してもよい。

【0126】次に図19から図22に、このように構成された電子機器の具体例を夫々示す。

【0127】図19において、電子機器の一例たる液晶プロジェクタ 1100 は、上述した駆動回路 1004 が TFT アレイ基板上に搭載された液晶パネル 1006 を含む液晶モジュールを3個用意し、夫々 RGB 用のライトバルブ 100R、100G 及び 100B として用いたプロジェクタとして構成されている。液晶プロジェクタ 1100 では、メタルハライドランプ等の白色光源のランプユニット 1102 から投射光が発せられると、3枚のミラー 1106 及び2枚のダイクロイックミラー 1108 によって、RGB の3原色に対応する光成分 R、G、B に分けられ、各色に対応するライトバルブ 100R、100G 及び 100B に夫々導かれる。この際特に B 光は、長い光路による光損失を防ぐために、入射レンズ 1122、リレーレンズ 1123 及び出射レンズ 1124 からなるリレーレンズ系 1121 を介して導かれる。そして、ライトバルブ 100R、100G 及び 100B により夫々変調された3原色に対応する光成分は、ダイクロイックプリズム 1112 により再度合成された後、投射レンズ 1114 を介してスクリーン 1120 にカラー画像として投射される。

【0128】本実施の形態においては特に、遮光層を TFT の下側にも設けておけば、当該液晶パネル 1006 からの入射光に基づく液晶プロジェクタ内の投射光学系による反射光、入射光が通過する際の TFT アレイ基板の表面からの反射光、他の液晶パネルから出射した後にダイクロイックプリズム 1112 を突き抜けてくる入射光の一部（R 光及び G 光の一部）等が、戻り光として TFT アレイ基板の側から入射しても、画素電極のスイッチング用の TFT 等のチャネルに対する遮光を十分に行うことができる。この場合、小型化に適したプリズムを投射光学系に用いても、各液晶パネルの TFT アレイ基板とプリズムとの間において、戻り光防止用の AR フィルムを貼り付けたり、偏光板に AR 被膜処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

【0129】図20において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ（PC）1200 は、上述した液晶パネル 1006 がトップカバーケース内に備えられており、更に CPU、メモリ、モデム等を収容すると共にキーボード 1202 が組み込まれた本体 1204 を備えている。

【0130】図21において、電子機器の他の例たるページャ 1300 は、金属フレーム 1302 内に前述の駆動回路 1004 が TFT アレイ基板上に搭載されて液晶モジュールをなす液晶パネル 1006 が、バックライト 1306a を含むライトガイド 1306、回路基板 1308、第1及び第2のシールド板 1310 及び 1312、二つの弾性導電体 1314 及び 1316、並びにフィルムキャリアテープ 1318 と共に収容されている。この例の場合、前述の表示情報処理回路 1002（図1

8参照)は、回路基板1308に搭載してもよく、液晶パネル1006のTFTアレイ基板上に搭載してもよい。更に、前述の駆動回路1004を回路基板1308上に搭載することも可能である。

【0131】尚、図21に示す例はページャであるので、回路基板1308等が設けられている。しかしながら、駆動回路1004や更に表示情報処理回路1002を搭載して液晶モジュールをなす液晶パネル1006の場合には、金属フレーム1302内に液晶パネル1006を固定したものを液晶装置として、或いはこれに加えてライトガイド1306を組み込んだバックライト式の液晶装置として、生産、販売、使用等することも可能である。

【0132】また図22に示すように、駆動回路1004や表示情報処理回路1002を搭載しない液晶パネル1006の場合には、駆動回路1004や表示情報処理回路1002を含むIC1324がポリイミドテープ1322上に実装されたTCP(Tape Carrier Package)1320に、TFTアレイ基板100の周辺部に設けられた異方性導電フィルムを介して物理的且つ電氣的に接続して、液晶装置として、生産、販売、使用等することも可能である。

【0133】以上図19から図22を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図18に示した電子機器の例として挙げられる。

【0134】以上説明したように、本実施の形態によれば、大型で低消費電力の液晶装置を備えた各種の電子機器を実現できる。

【0135】

【発明の効果】本発明のデジタルドライバ回路によれば、基準マルチランブ波の系列の選択と電圧の選択とを組み合わせることにより、各デジタル画像信号の値に対応する駆動信号を生成するので、基準マルチランブ波の夫々について要求される時間についての精度は顕著に低くなり、更に、基準マルチランブ波を供給するためのアンプの能力が低くても、信号線を駆動信号の電圧に飽和させるに十分な時間的余裕を確保することができる。以上の結果、本発明のデジタルドライバ回路によれば、比較的スルーレートの小さい回路を用いて、消費電力を低くしつつ駆動能力を高めることが可能となり、温度補償やγ補正を比較的簡単に且つ精度良く行うことも可能である。

【0136】本発明の電気光学装置によれば、大型且つ低消費電力であり、比較的安価な液晶装置等の装置を実現できる。

【0137】また本発明の電子機器によれば、大型且つ低消費電力であり、比較的安価な液晶装置等を備えた各種の電子機器を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のデジタルドライバ回路の構成を示すブロック図である。

【図2】第1の実施の形態のデジタルドライバ回路の回路図である。

【図3】第1の実施の形態のデジタルドライバ回路で用いられる複数系列の基準マルチランブ波の波形図である。

【図4】第1の実施の形態のデジタルドライバ回路における各種信号のタイミングチャートである。

【図5】比較例における一系列のマルチランブ波の基本的な波形図(図5(A))及びγ補正を行うための比較例における一系列のマルチランブ波の波形図(図5(B))である。

【図6】本発明の第2の実施の形態のデジタルドライバ回路の構成を示すブロック図である。

【図7】第2の実施の形態のデジタルドライバ回路の回路図である。

【図8】第2の実施の形態のデジタルドライバ回路で用いられる複数系列の基準マルチランブ波の波形図(図8(A))及び参照用マルチランブ波の波形図(図8(B))である。

【図9】第2の実施の形態のデジタルドライバ回路における各種信号のタイミングチャートである。

【図10】本発明の第3の実施の形態のデジタルドライバ回路の回路図である。

【図11】第3の実施の形態のデジタルドライバ回路における各種信号のタイミングチャートである。

【図12】本発明の第4の実施の形態のデジタルドライバ回路の回路図である。

【図13】第4の実施の形態のデジタルドライバ回路における各種信号のタイミングチャートである。

【図14】各実施の形態において、基準マルチランブ波を生成するマルチランブ波生成回路のブロック図である。

【図15】本発明による液晶装置の一つの実施の形態のブロック図である。

【図16】本発明による液晶装置の他の実施の形態のブロック図である。

【図17】本発明による液晶装置の更に他の実施の形態のブロック図である。

【図18】本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図19】電子機器の一例としての液晶プロジェクタを示す断面図である。

【図20】電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【図 2 1】電子機器の一例としてのページャを示す分解斜視図である。

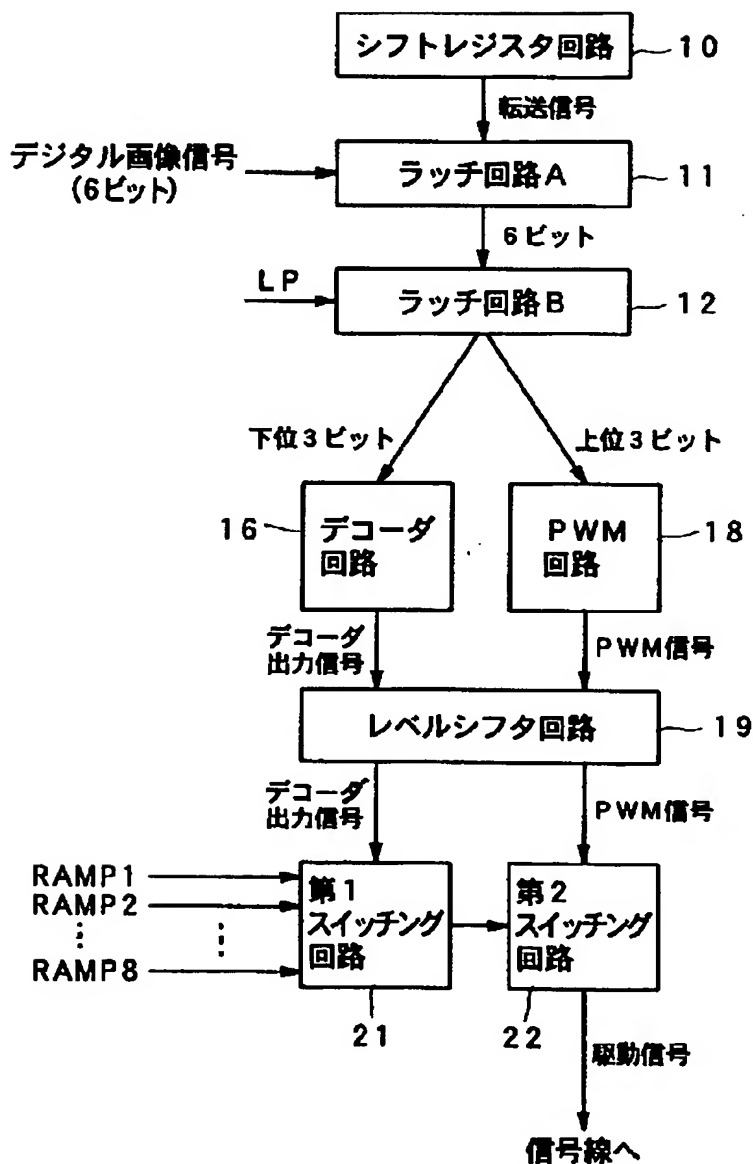
【図 2 2】電子機器の一例としての T C P を用いた液晶装置を示す斜視図である。

【符号の説明】

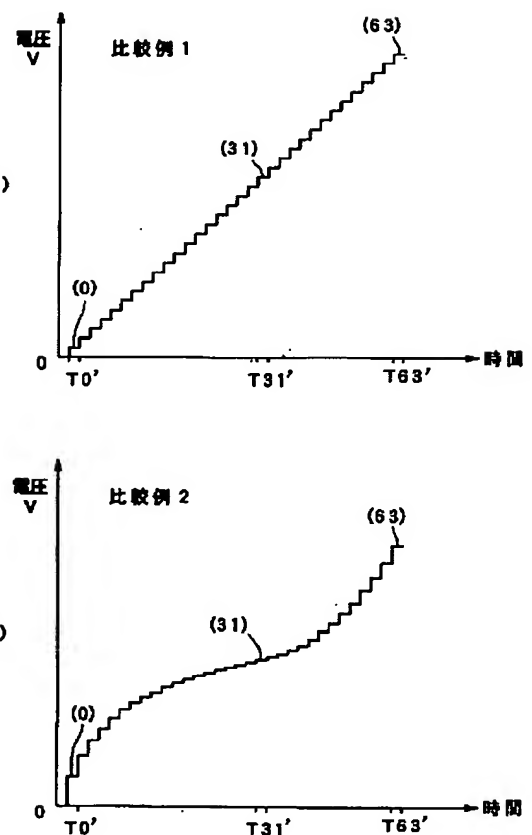
1 0 …シフトレジスタ回路
1 1 …ラッチ回路 A
1 2 …ラッチ回路 B
1 6 …デコーダ回路
1 8 …PWM 回路
1 9 …レベルシフト回路

2 1 …第 1 スイッチング回路
2 2 …第 2 スイッチング回路
2 5 …S C - D A C 回路
4 1 …信号線
4 2 …走査線
5 0 …マルチランブ波生成回路
1 0 0 …T F T アレイ基板
1 0 1 …信号線駆動回路
1 0 2 …走査線駆動回路
2 0 0 …デジタルドライバ回路

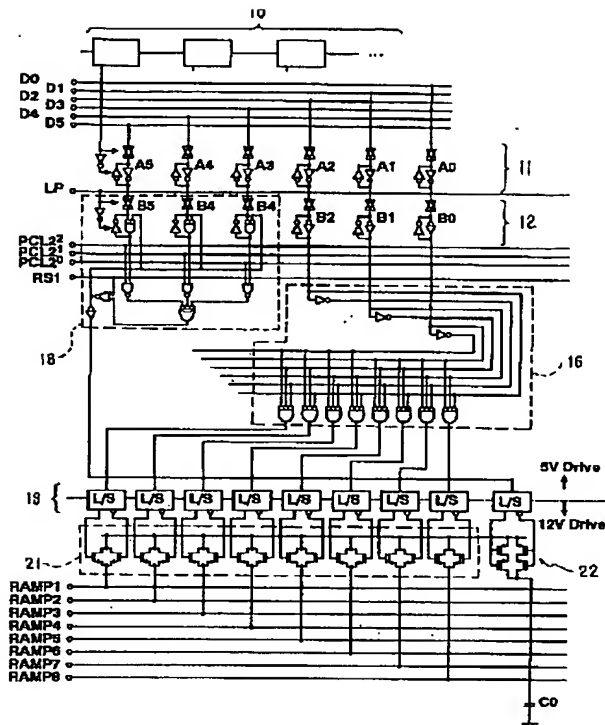
【図 1】



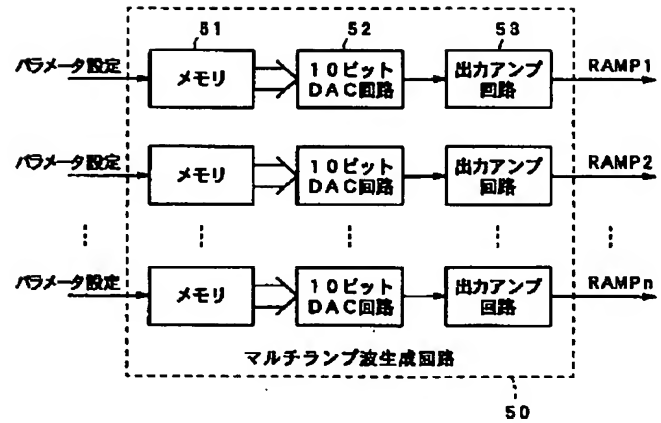
【図 5】



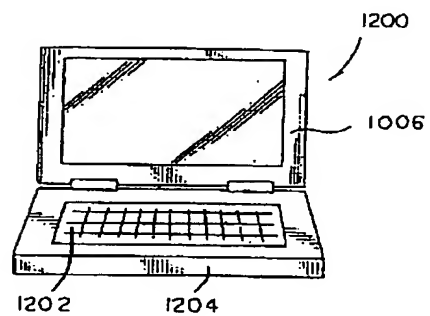
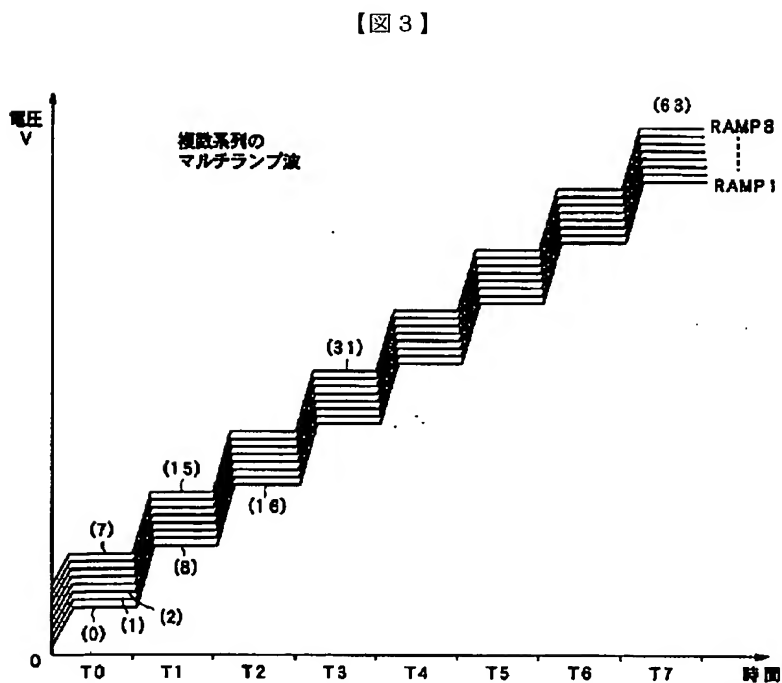
【図 2】



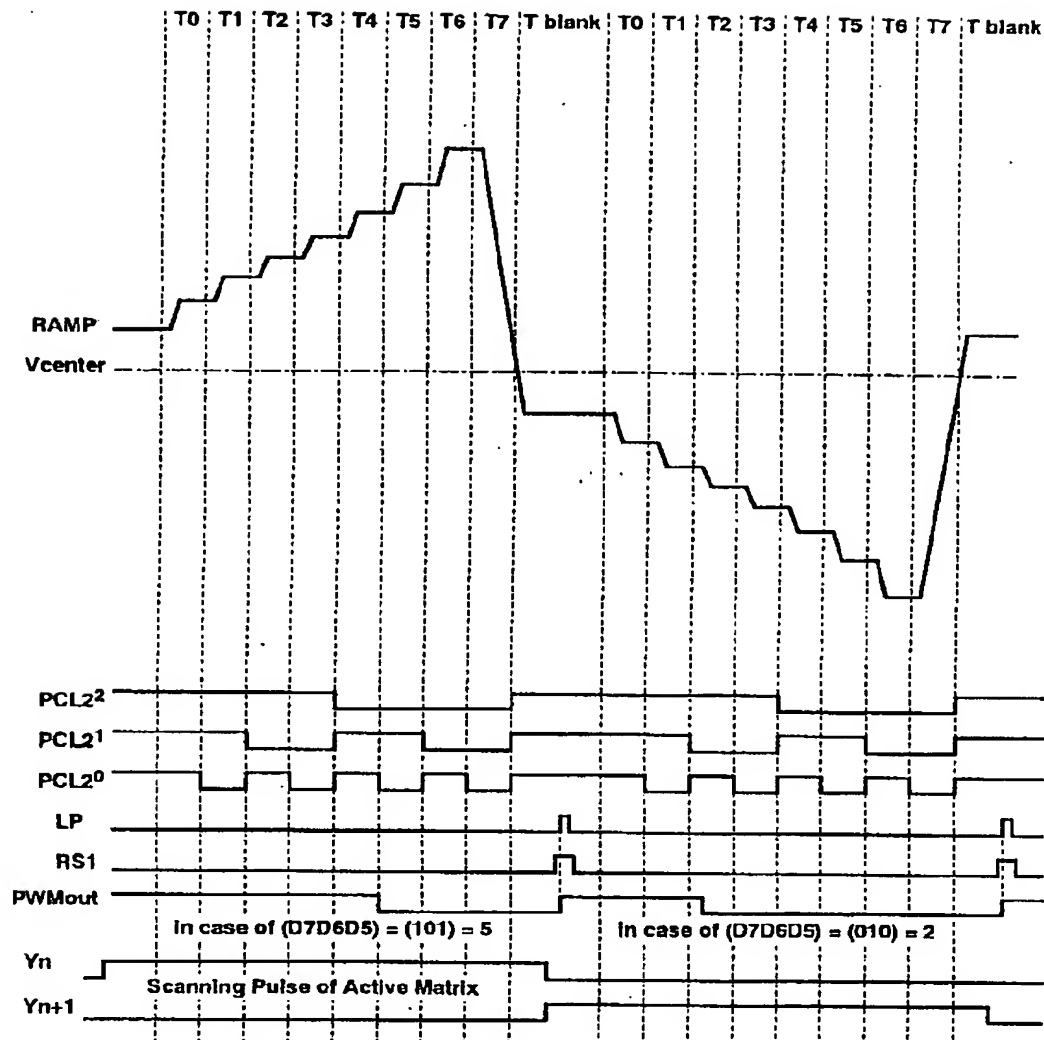
【図 1 4】



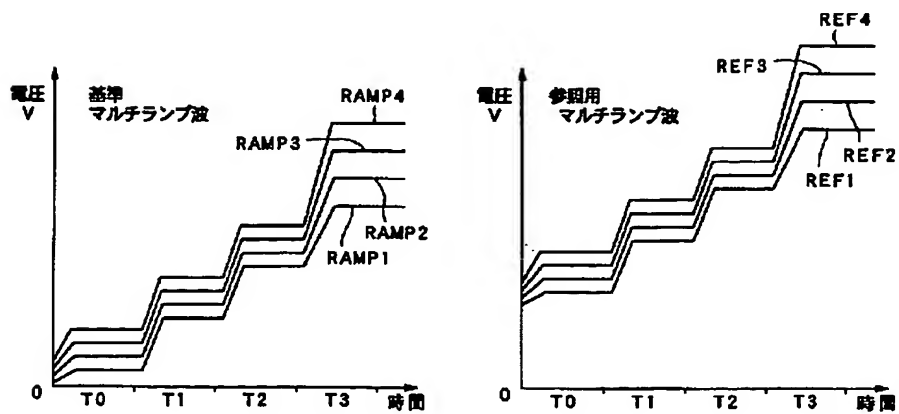
【図 2 0】



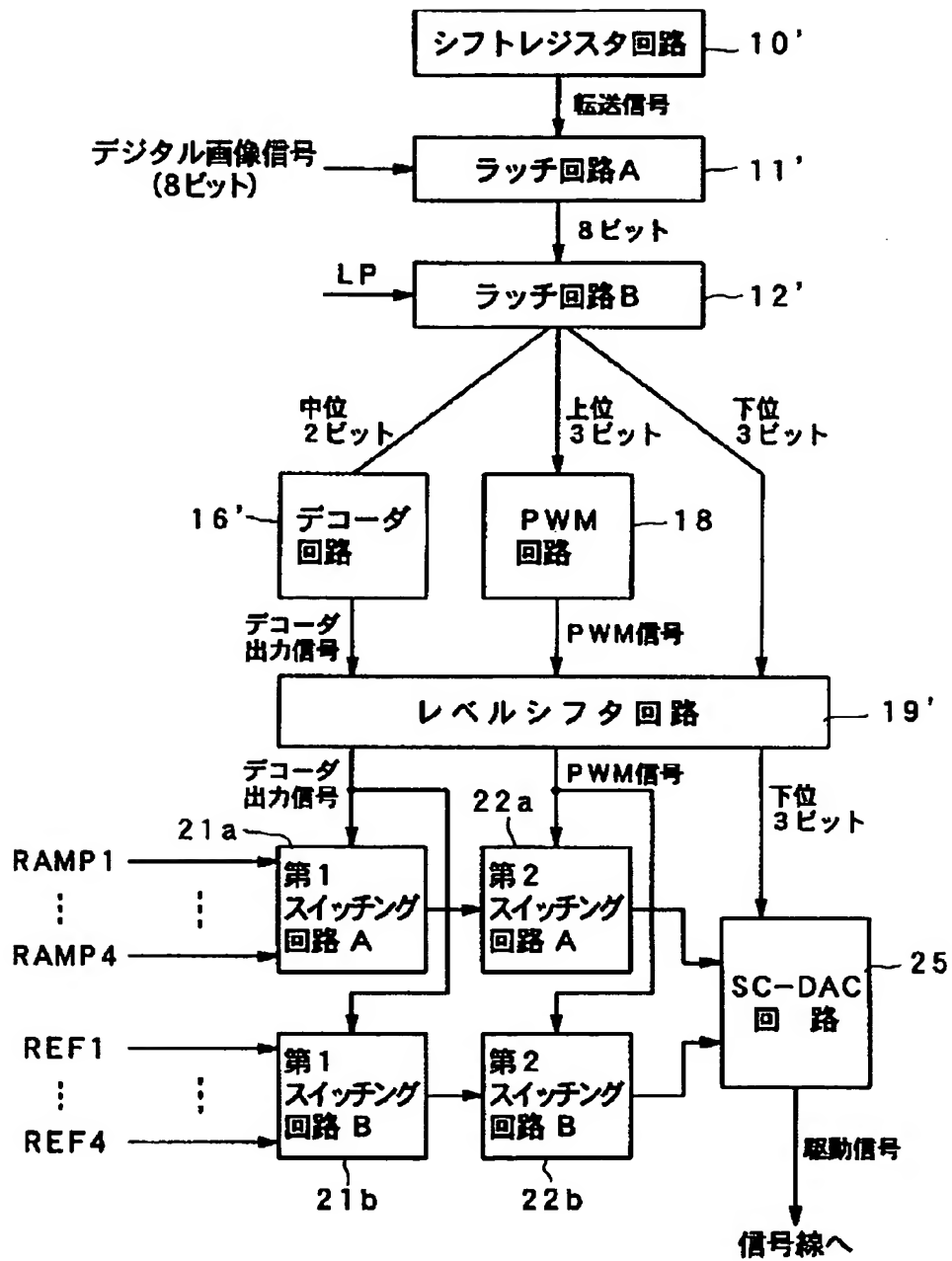
【図 4】



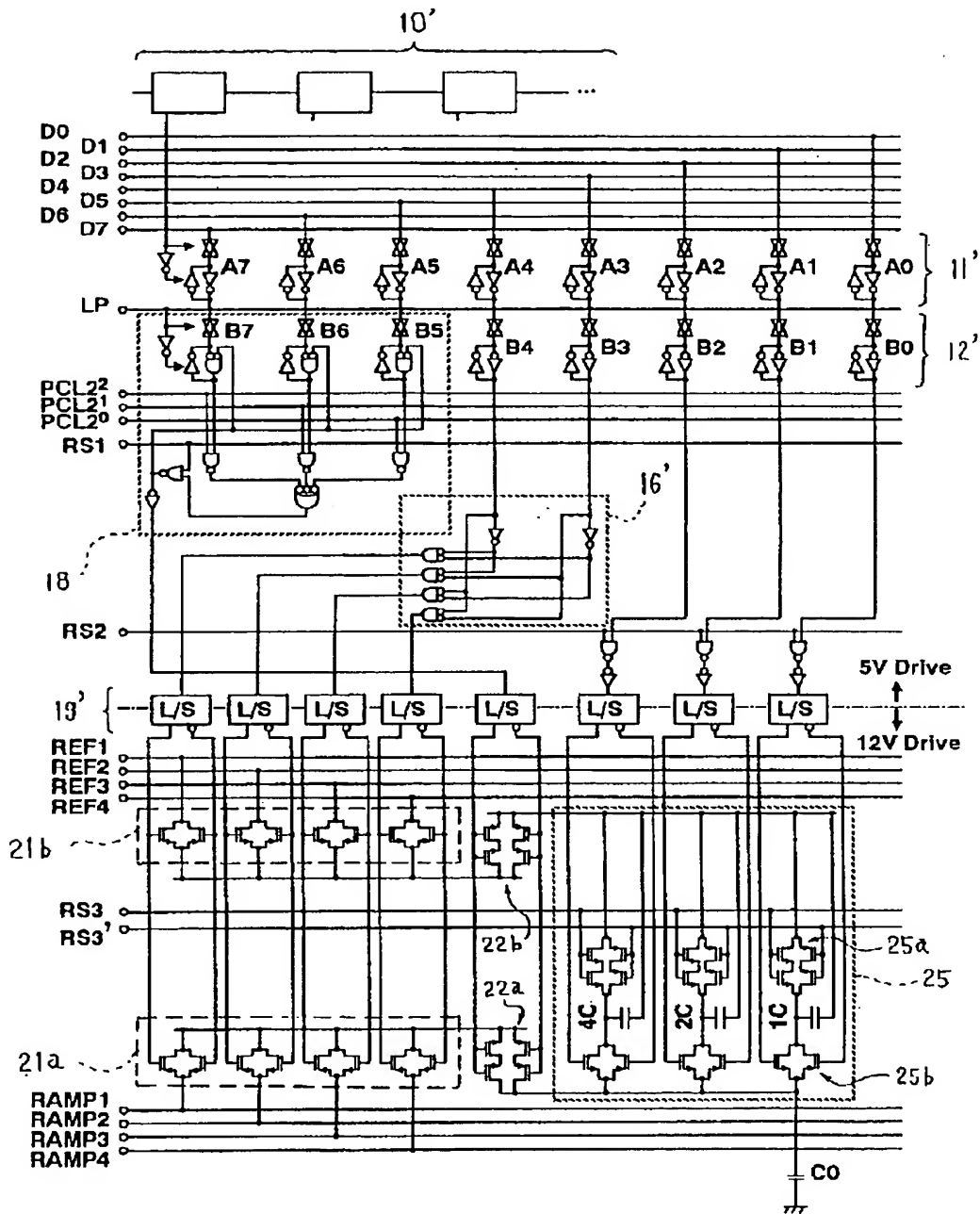
【図 8】



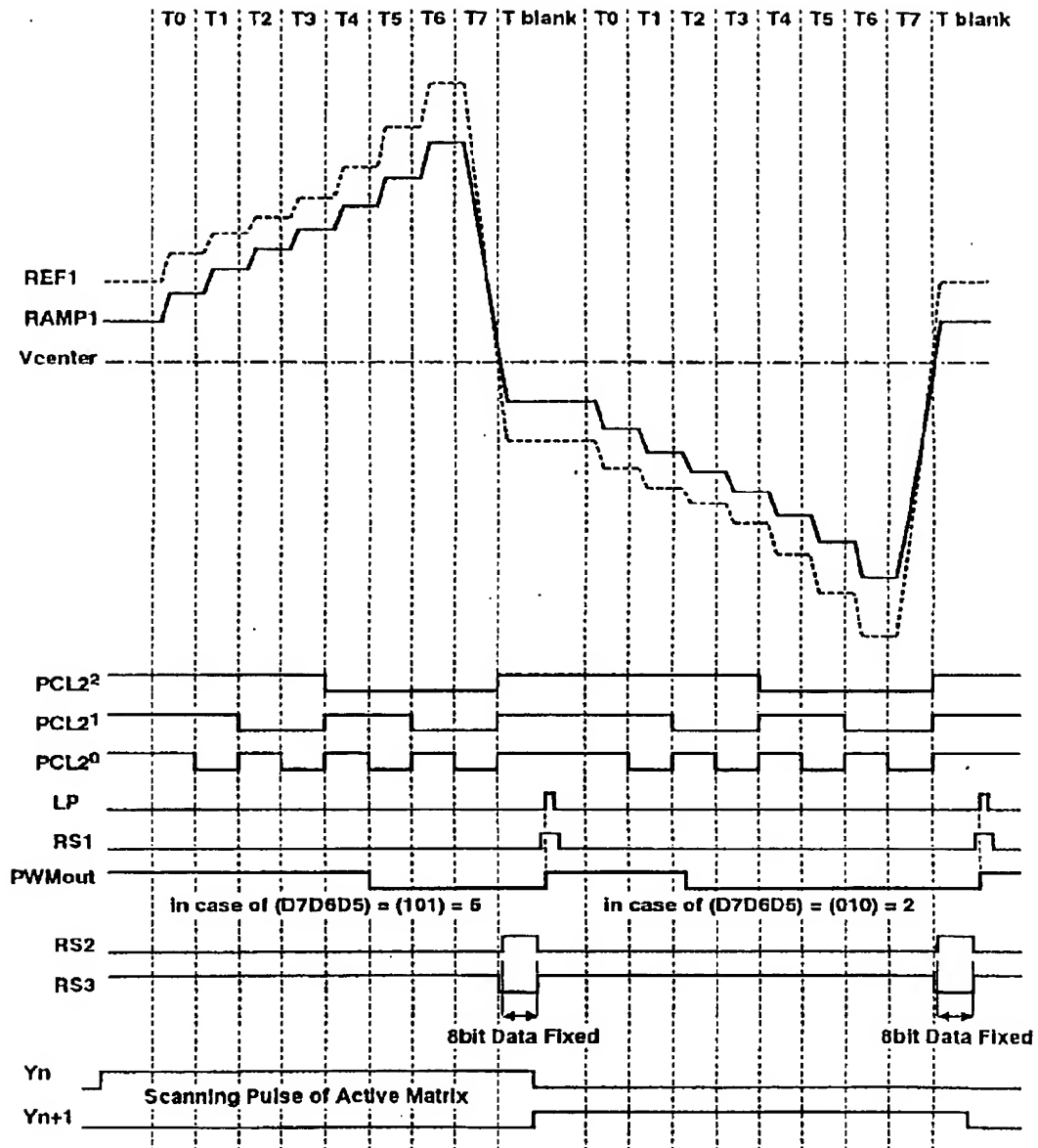
【図 6】



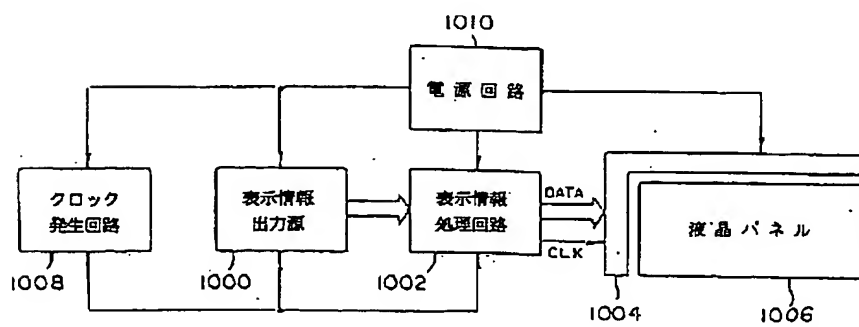
【図 7】



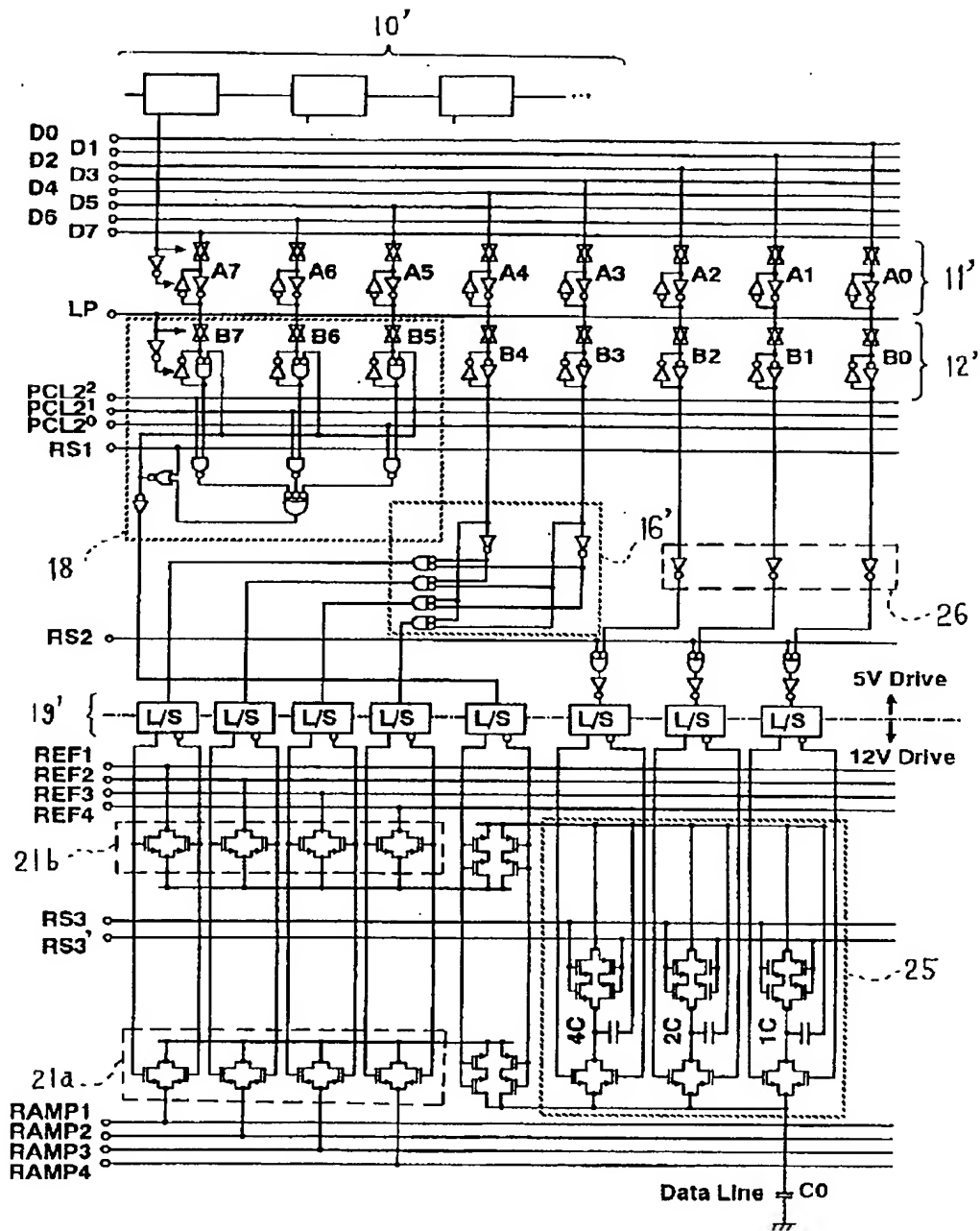
【図 9】



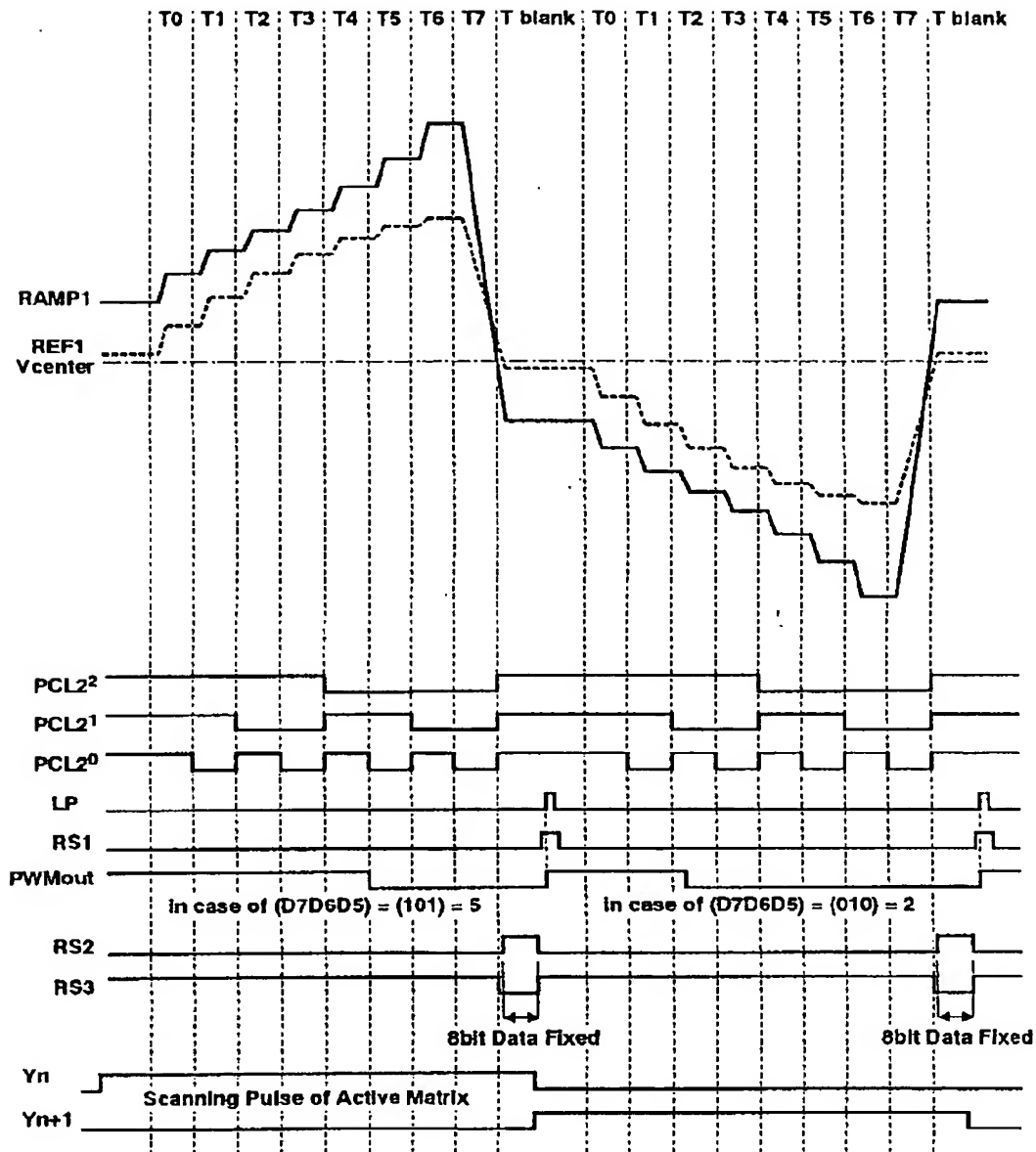
【図 1 8】



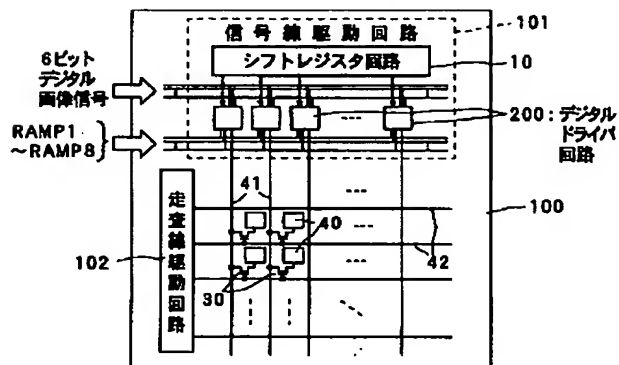
【図 10】



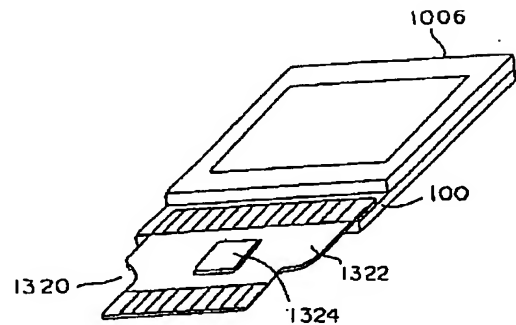
【図 1 1】



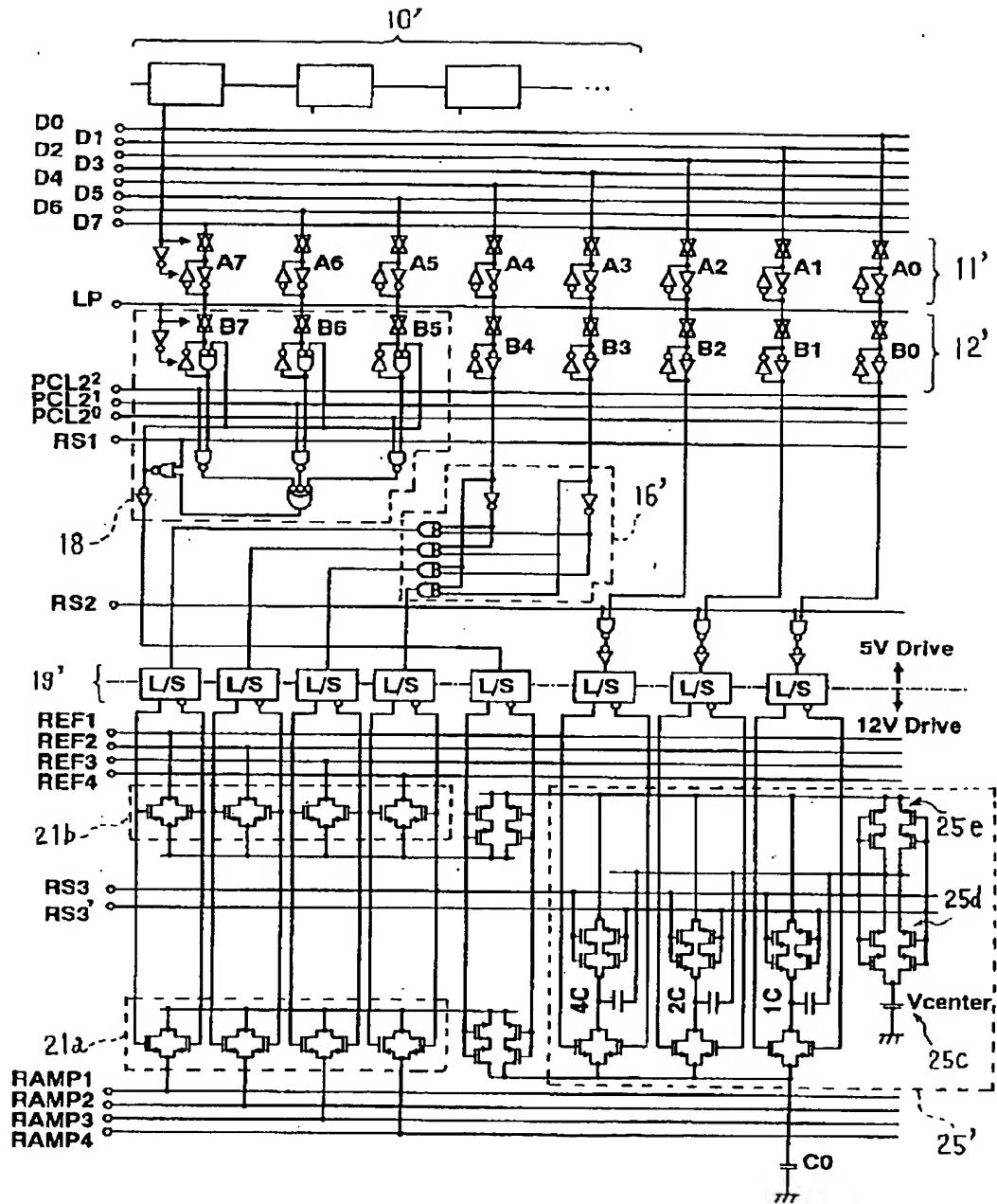
【図 1 5】



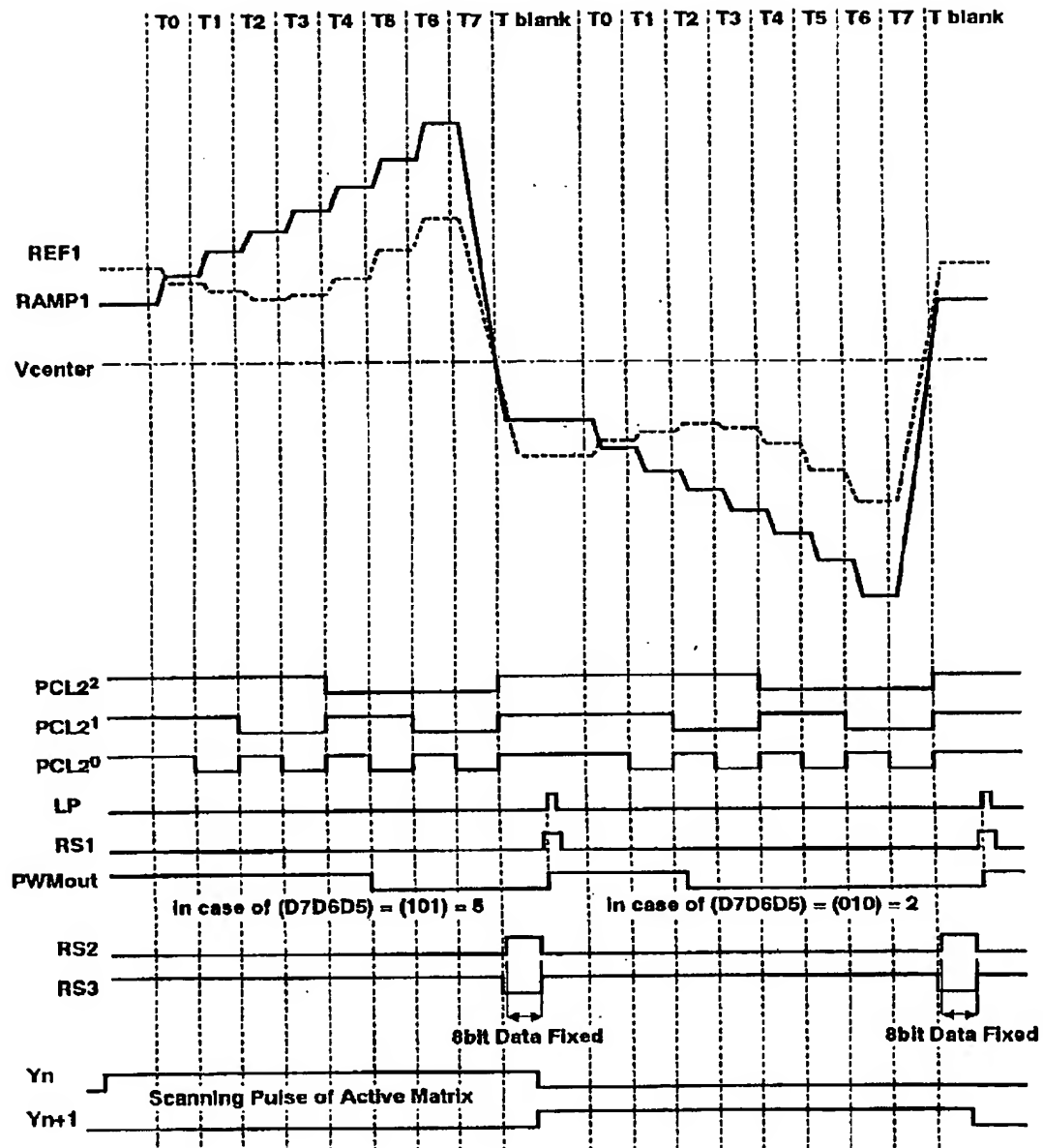
【図 2 2】



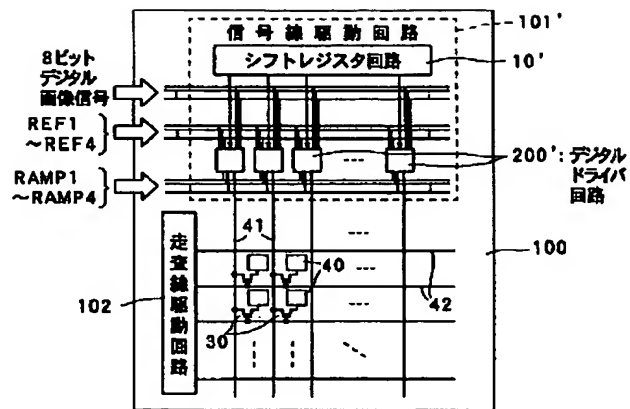
【図 1 2】



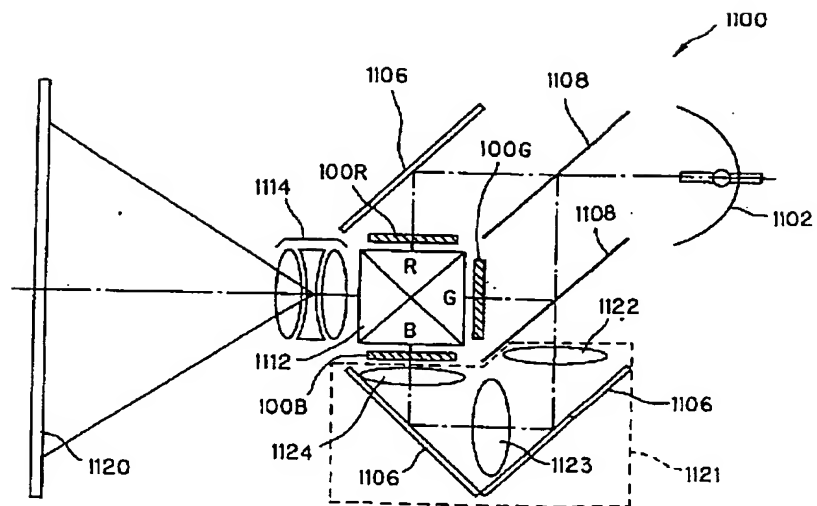
【図 13】



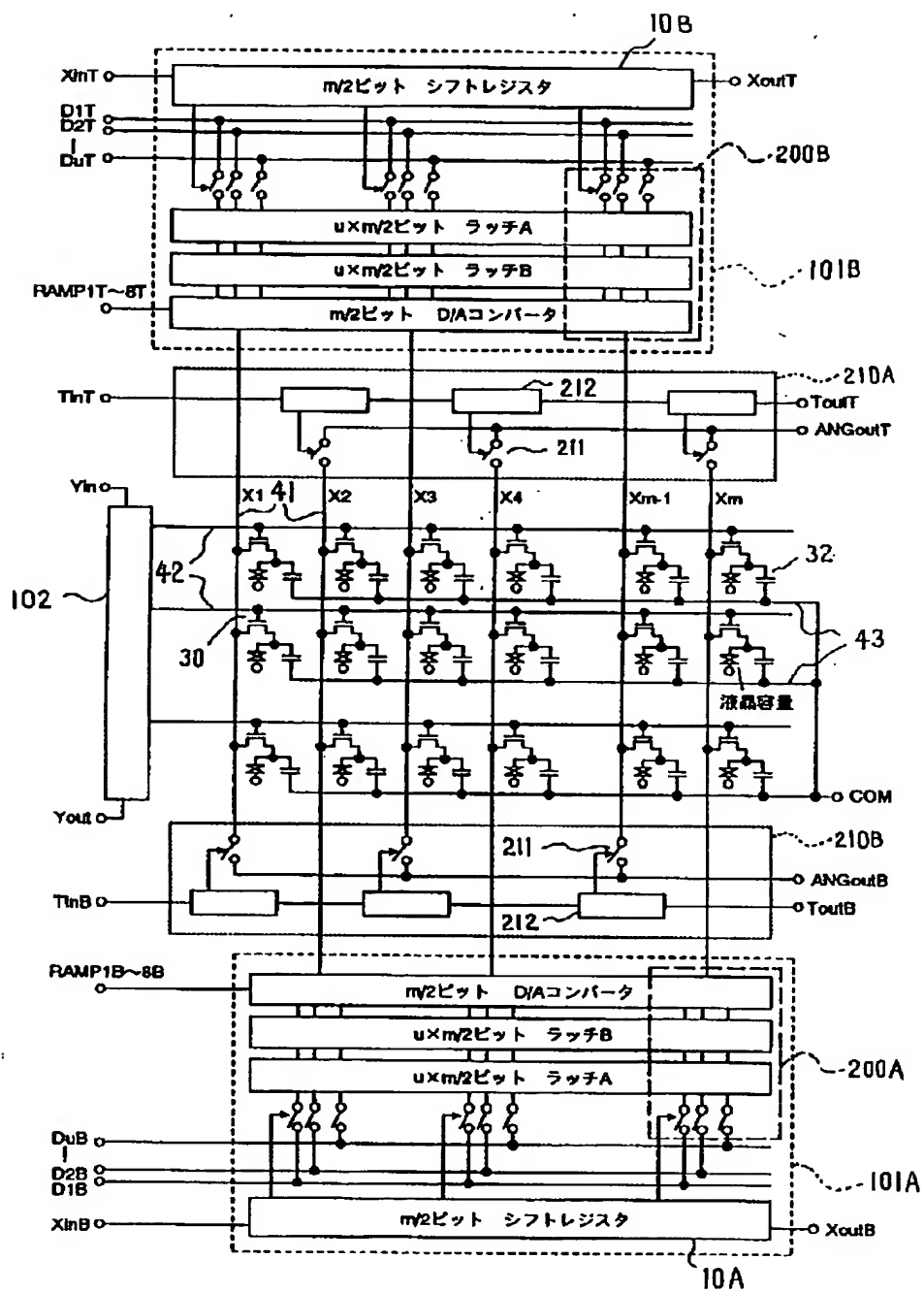
【図 16】



【図 19】



【図17】



【図 21】

